

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002026254 A

(43) Date of publication of application: 25.01.02

(51) Int. Cl

H01L 27/04
H01L 21/822
G11C 16/06
H01L 21/8247
H01L 27/115
H01L 27/10

(21) Application number: 2000200652

(22) Date of filing: 03.07.00

(71) Applicant: HITACHI LTD HITACHI ULSI SYSTEMS CO LTD

(72) Inventor: KISHIMOTO JIRO
SATO HIROSHI
NODA TOSHIYUMI
ISHII TATSUYA
KUBONO SHOJI
OGINO TAKASHI

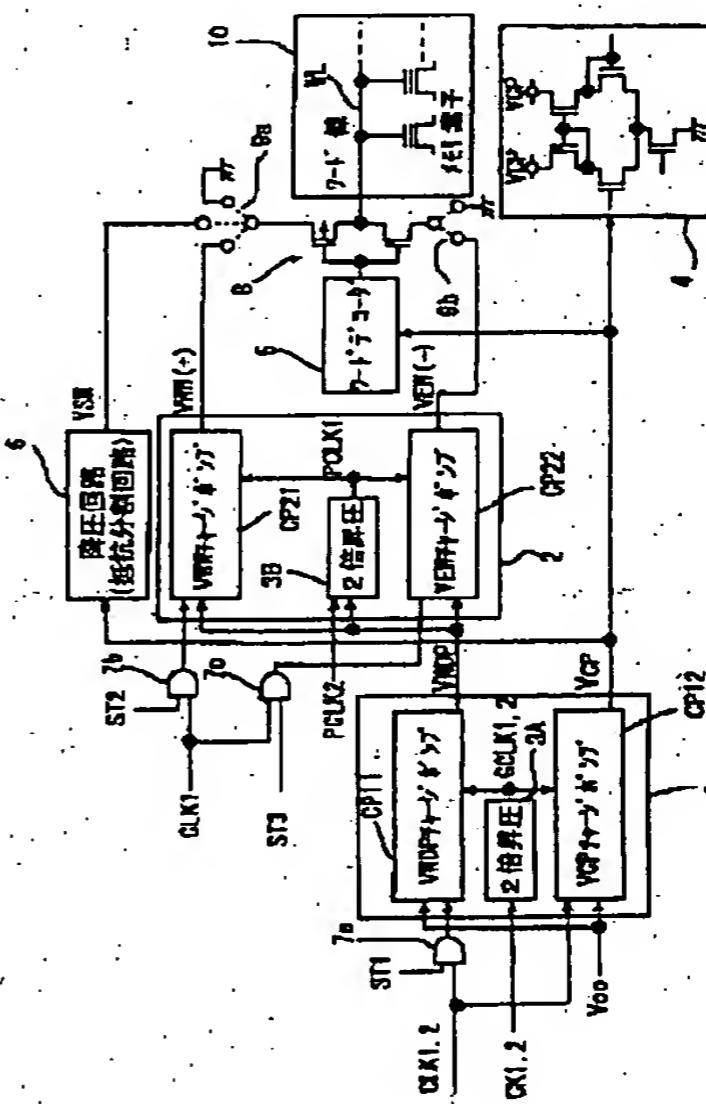
(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND NONVOLATILE MEMORY

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a boosting circuit which can generate a high boosting voltage at 10 times or more on the basis of a comparatively low power-supply voltage in a semiconductor integrated circuit which comprises an internal boosting circuit such as a flash memory.

SOLUTION: Charging pumps (CP11, CP12, CP10) which perform a first-stage boosting operation on the basis of the power-supply voltage are constituted to be of a capacitor parallel type. Charging pumps (CP21, CP22, CP20) which perform a second-stage boosting operation on the basis of a boosting voltage generated by the charging pumps are constituted to be of a capacitor serial type.

COPYRIGHT: (C)2002,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-26254

(P2002-26254A)

(43)公開日 平成14年1月25日 (2002.1.25)

(51)Int.Cl.
H 01 L 27/04
21/822
G 11 C 16/06
H 01 L 21/8247
27/115

識別記号

F I
H 01 L 27/10
27/04
G 11 C 17/00
H 01 L 27/10

テ-マ-ト(参考)
4 8 1 5 B 0 2 5
G 5 F 0 3 8
6 3 2 A 5 F 0 8 3
6 3 2 B
4 3 4

審査請求 未請求 請求項の数16 OL (全 18 頁) 最終頁に続く

(21)出願番号

特願2000-200652(P2000-200652)

(22)出願日

平成12年7月3日 (2000.7.3)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 岸本 次郎

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74)代理人 100085811

弁理士 大日方 富雄

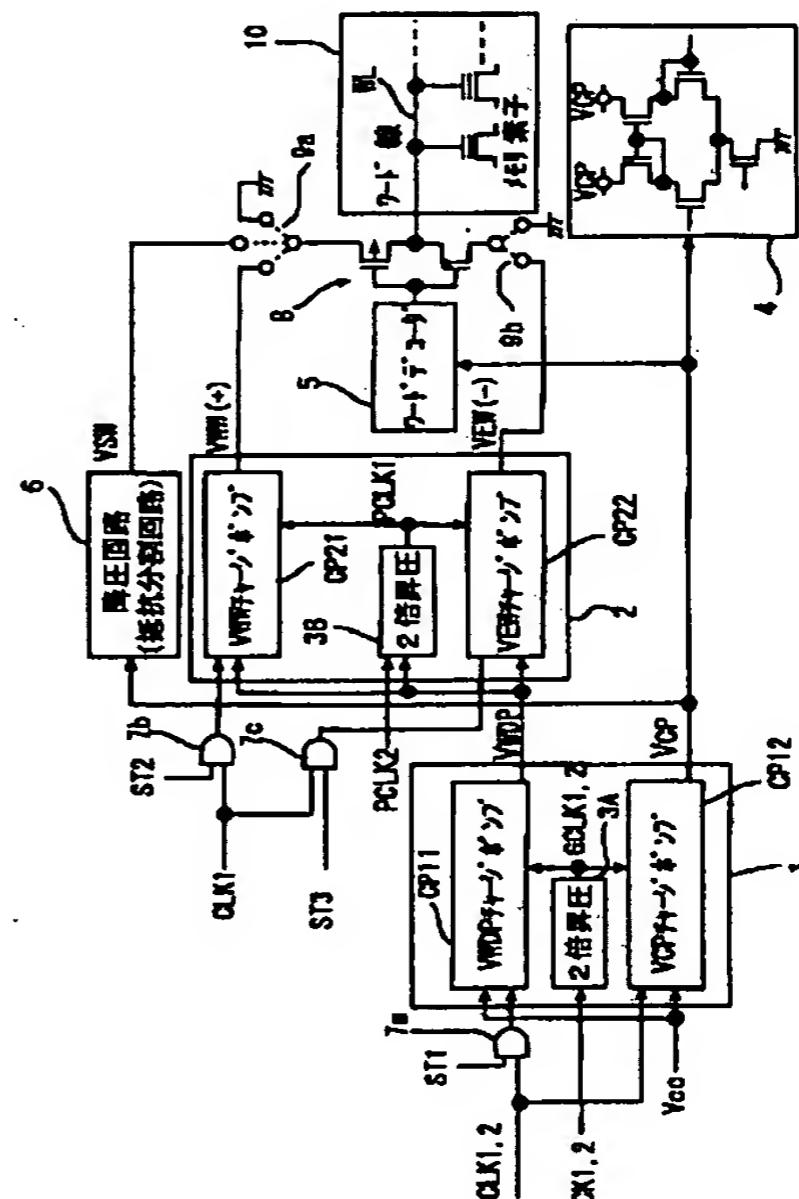
最終頁に続く

(54)【発明の名称】 半導体集積回路および不揮発性メモリ

(57)【要約】

【課題】 フラッシュメモリのような内部昇圧回路を有する半導体集積回路において、比較的低い電源電圧に基づいて10倍以上の高い昇圧電圧を発生することができる昇圧回路を実現する。

【解決手段】 電源電圧に基づいて第1段階の昇圧を行なうチャージポンプ (CP11, CP12, CP10) を容量並列型で構成するとともに、このチャージポンプで発生された昇圧電圧に基づいて第2段階の昇圧を行なうチャージポンプ (CP21, CP22, CP20) を容量直列型で構成するようにした。



【特許請求の範囲】

【請求項1】 外部から供給される電源電圧に基づいて昇圧した電圧を発生する昇圧回路を備えた半導体集積回路において、

上記昇圧回路は、容量並列型のチャージポンプを含み電源電圧に基づいて第1段階の昇圧を行なう第1昇圧回路と、容量直列型チャージポンプを含み前記第1昇圧回路で発生された昇圧電圧に基づいて第2段階の昇圧を行なう第2昇圧回路とを備えたことを特徴とする半導体集積回路。

【請求項2】 上記第1昇圧回路は、発生された電圧が供給される側の回路が容量性負荷である第1の容量並列型チャージポンプと、発生された電圧が供給される側の回路が抵抗性負荷である第2の容量並列型チャージポンプとを備え、上記第2昇圧回路は上記第1の容量並列型チャージポンプで発生された昇圧電圧に基づいて第2段階の昇圧を行なうことを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 上記第2昇圧回路は、正の昇圧電圧を発生する第1の容量直列型チャージポンプと、負の昇圧電圧を発生する第2の容量直列型チャージポンプとを備えたことを特徴とする請求項2に記載の半導体集積回路。

【請求項4】 上記第1および第2の容量並列型チャージポンプの昇圧段数は、上記第1および第2の容量直列型チャージポンプの昇圧段数よりも多いことを特徴とする請求項2または3に記載の半導体集積回路。

【請求項5】 上記第1の容量並列型チャージポンプは、第1の制御信号に基づいてその昇圧動作が停止可能にされていることを特徴とする請求項2、3または4に記載の半導体集積回路。

【請求項6】 上記第1の容量直列型チャージポンプまたは第2の容量直列型チャージポンプは、第2の制御信号に基づいてその昇圧動作が停止可能にされていることを特徴とする請求項3、4または5に記載の半導体集積回路。

【請求項7】 少なくとも上記第2の容量並列型チャージポンプは互いに並列に接続された複数の容量並列型チャージポンプで構成され、電源電圧のレベルに応じて動作するチャージポンプの数が決定されるように構成されていることを特徴とする請求項2、3、4、5または6に記載の半導体集積回路。

【請求項8】 上記第1の容量並列型チャージポンプと第2の容量並列型チャージポンプは各々複数の動作クロック信号によって動作され、

上記第1昇圧回路は、電源電圧に基づいて当該回路で発生される昇圧電圧よりも低い昇圧電圧を発生する補助昇圧回路を備え、上記複数の動作クロック信号のうち少なくとも一部の信号は上記補助昇圧回路で発生された昇圧電圧に基づいて振幅が拡大されることを特徴とする請求項2、3、4、5、6または7に記載の半導体集積回

路。

【請求項9】 上記第1の容量直列型チャージポンプと第2の容量直列型チャージポンプは各々複数の第2動作クロック信号によって動作され、

上記第2昇圧回路は、上記第1昇圧回路で発生された昇圧電圧に基づいて当該回路で発生される昇圧電圧よりも低い昇圧電圧を発生する第2の補助昇圧回路を備え、上記複数の第2動作クロック信号のうち少なくとも一部の信号は上記第2の補助昇圧回路で発生された昇圧電圧に基づいて振幅が拡大されることを特徴とする請求項8に記載の半導体集積回路。

【請求項10】 外部から供給される電源電圧に基づいて昇圧した電圧を発生する昇圧回路を備えた半導体集積回路において、

上記昇圧回路は、容量並列型のチャージポンプを含み電源電圧に基づいて第1段階の昇圧を行なう第1昇圧回路と、容量直列型チャージポンプを含み前記第1昇圧回路で発生された昇圧電圧に基づいて第2段階の昇圧を行なう第2昇圧回路とを備え、

上記容量並列型チャージポンプ内の昇圧用容量は、第1導電型のMOSFETが形成される第2導電型のウェル領域と同一の導電型のウェル領域表面に、第2導電型のMOSFETとソース、ドレイン領域と同一導電型の半導体領域からなるコンタクト領域を有するとともに、上記同一の導電型のウェル領域上に絶縁膜を介して形成された導電層を有し、上記同一の導電型のウェル領域を第1電極、上記導電層を第2電極、上記絶縁膜を誘電体とする容量であり、

上記容量並列型チャージポンプ内の各段の昇圧用容量のうち初段側の昇圧用容量の絶縁膜は終段側の昇圧用容量の絶縁膜よりも薄いことを特徴とする半導体集積回路。

【請求項11】 フローティングゲート電極とコントロールゲート電極を有し、上記フローティングゲート電極への電荷の注入または引き抜きに応じてしきい値が変化してそのしきい値によって情報を記憶する不揮発性記憶素子を備え、上記初段側の昇圧用容量の上記絶縁膜は、上記不揮発性記憶素子のフローティングゲート電極下の絶縁膜と同一の厚みを有することを特徴とする請求項10に記載の半導体集積回路。

【請求項12】 フローティングゲート電極とコントロールゲート電極を有し、上記フローティングゲート電極への電荷の注入または引き抜きに応じてしきい値が変化してそのしきい値によって情報を記憶する不揮発性記憶素子と、外部から供給される電源電圧に基づいて昇圧した電圧を発生する昇圧回路とを備えた不揮発性メモリにおいて、

上記昇圧回路は、容量並列型のチャージポンプを含み電源電圧に基づいて第1段階の昇圧を行なう第1昇圧回路と、容量直列型チャージポンプを含み前記第1昇圧回路で発生された昇圧電圧に基づいて第2段階の昇圧を行な

う第2昇圧回路とを備え、

上記第2昇圧回路は、

上記不揮発性記憶素子のフローティングゲート電極へFNトンネル現象を利用して電荷の注入を行なわせる第1の昇圧電圧と、

FNトンネル現象を利用して上記フローティングゲート電極からの電荷の引き抜きを行なわせる第2の昇圧電圧と、を発生することを特徴とする不揮発性メモリ。

【請求項13】 上記第1昇圧回路は、発生された電圧が供給される側の回路が容量性負荷である第1の容量並列型チャージポンプと、発生された電圧が供給される側の回路が抵抗性負荷である第2の容量並列型チャージポンプとを備え、上記第2昇圧回路は上記第1の容量並列型チャージポンプで発生された昇圧電圧に基づいて第2段階の昇圧を行なうことを特徴とする請求項12に記載の不揮発性メモリ。

【請求項14】 上記第2昇圧回路は、フローティングゲート電極への電荷の注入に使用される正の昇圧電圧を発生する第1の容量直列型チャージポンプと、フローティングゲート電極からの電荷の引き抜きに使用される負の昇圧電圧を発生する第2の容量直列型チャージポンプとを備えたことを特徴とする請求項12または13に記載の半導体集積回路。

【請求項15】 上記第1の容量並列型チャージポンプは、上記不揮発性記憶素子へのデータの書き込みまたは消去の際に、第1の制御信号に基づいてその昇圧動作が停止されるように構成されていることを特徴とする請求項12、13または14に記載の不揮発性メモリ。

【請求項16】 上記第1の容量直列型チャージポンプは第2の制御信号に基づいて上記不揮発性記憶素子のデータ消去の際に、また上記第2の容量直列型チャージポンプは上記第2の制御信号に基づいて上記不揮発性記憶素子へのデータの書き込みの際に、それぞれその昇圧動作が停止されるように構成されていることを特徴とする請求項13、14または15に記載の不揮発性メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路における内部昇圧回路に適用して特に有効な技術に関し、例えば記憶情報を電気的に消去可能な不揮発性メモリにおける内部昇圧回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】フラッシュメモリは、コントロールゲートおよびフローティングゲートを有する2重ゲート構造のMOSFETからなる不揮発性記憶素子をメモリセルに使用しており、フローティングゲートの固定電荷量を変えることでMOSFETのしきい値電圧を変化させ情報を記憶することができる。かかるフラッシュメモリにおいては、メモリセルへの書き込み・消去動作に、不揮発

性記憶素子のフローティングゲートから電荷を引き抜いたり注入したりしてしきい値電圧を変化させるために高電圧（例えば±10V以上）を必要とする。フラッシュメモリでは、かかる高電圧をメモリチップ内に設けられている内部昇圧回路で発生するのが一般的である。

【0003】ところで、半導体メモリを含め半導体集積回路では電源電圧の低電圧化が進められており、フラッシュメモリにおいても従来の電源電圧に比べて低い3.3V~1.8Vのような電源電圧で動作するものが要望されるようになって来ている。また、フラッシュメモリにはメモリセルへの書き込みにホットエレクトロンを使用し消去にFNトンネル現象を利用するものと、書き込みおよび消去共にFNトンネル現象を利用するものとがあり、このうち後者の書き込みおよび消去にFNトンネル現象を利用するものは前者に比べて、より大きな昇圧電圧を必要とする。

【0004】さらに、近年においては、フラッシュメモリの記憶容量を増大させるために1メモリセルに2ビット以上のデータを記憶させる、いわゆる「多値」メモリに関する技術が提案されている。かかる多値メモリは、フローティングゲートに注入する電荷の量を制御することにより、しきい値を例えば1V, 2V, 3V…のように段階的に変化させ、それぞれのしきい値に複数ビットの情報を対応させて記憶するというものである。このように、1つのメモリセルを複数のしきい値のいずれかに設定し正確に読み出すには、各しきい値の分布間にある程度の電位差を設けてやる必要があるため、2値のメモリセルに比べてしきい値分布全体の電位差が大きくなる。その結果、多値のメモリは2値のメモリに比べて書き込み・消去動作において、より高い昇圧電圧が必要となる。

【0005】本発明者らが検討したところによると、多値フラッシュメモリでは、メモリセルへの書き込み・消去動作に±16V以上の高電圧が必要であり、電源電圧が1.8Vのような場合には電源電圧の10倍以上の電圧を発生可能な昇圧回路が必要になることが明らかとなつた。

【0006】

【発明が解決しようとする課題】従来の一般的なチャージポンプを用いた昇圧回路においては、5倍程度の昇圧が限度で、昇圧電圧がある程度まで高くなるとそれ以上昇圧しようとしても急に効率が低下するつまり昇圧電圧が飽和してしまうという不具合がある。

【0007】従来の一般的なチャージポンプには、図16に示すような容量並列型と、図17に示すような容量直列型とがある。このうち、図16に示す容量並列型チャージポンプは、先ず図16(A)のように、容量C1の第1端子(図の下側端子)に接地電位のような低い電源電圧V_{SS}を、また第2端子(図の上側端子)にダイオードD1を介してV_{SS}よりも高い電源電圧V_{CC}を

印加して容量をチャージアップする。次に、図16(B)のように、隣の容量C2の第1端子に電源電圧Vssを印加した状態で容量C1の第1端子の電圧を電源電圧VssからVccに切り換えるように動作させる。

【0008】これによって、容量C1の第2端子が2Vccに持ち上げられて、容量C1にチャージされていた電荷がダイオードD2を介して容量C2に転送される。このような動作を繰り返して容量にチャージした電荷を次々と転送して行くことで、2Vcc→3Vcc→4Vccのように昇圧した電圧を得るものである。なお、容量C2の電荷を次段へ転送する際には初段の容量C1では次の電荷転送のためのプリチャージを行なうことで、効率の良い昇圧が可能とされる。しかしながら、容量並列型チャージポンプは、各容量間にダイオードが介在しているため、伝達される電圧はこのダイオードの順方向電圧分だけ低いものとなってしまう。

【0009】ここで、ダイオードの代わりにMOSFETのようなスイッチ素子を使用する方式が考えられるが、その場合にもゲート・ドレインを結合したダイオード接続のMOSFETではしきい値電圧分の電圧降下(いわゆるVth落ち)がある。また、スイッチMOSを使用する方式の場合には、図16からも分かるように、スイッチMOSのソースとドレインの電圧関係が逆になるつまりソース電圧がドレイン電圧よりも低くなる場合と高くなる場合とが生じる。

【0010】そのため、スイッチMOSとしてPチャネル型を使用するとそのウェル領域はN型となり、通常のMOSFETのように高い電位となるソース領域と同一の電圧がウェル領域に印加されるように構成しておくと、ドレイン領域の電位が高くなつたときにウェル領域とのPN接合が順バイアスされて電流が流れてしまうので、PチャネルMOSFETを使用することができない。一方、スイッチMOSとしてNチャネル型を使用すると、その特性から伝達される電圧がMOSFETのしきい値電圧分だけ低いものとなり、結局、電圧降下を伴わずに昇圧することは困難であった。

【0011】図17に示すような容量直列型チャージポンプは、先ず図17(A)のように、直列形態の容量C1, C2, C3間のスイッチS1, S2, S3をオフにした状態で各容量C1, C2, C3を同一向きに電源電圧Vccまでチャージする。次に、図17(B)のように、各容量C1, C2, C3間のスイッチS1, S2, S3をオンにさせるとともに、最初の容量C1の第1端子(図の左側端子)の電圧を電源電圧VssからVccに切り換えるように動作させる。すると、容量C1の第2端子の電圧は2Vccになるとともに、容量C2, C3は各端子間電圧がそれぞれチャージされた電源電圧Vccであるものの、基準となる第1端子の電圧がそれぞれVssから隣接する容量の第2端子の電圧へ切り換えられるため、容量C2, C3の第2端子の電圧はそれぞ

れ3Vcc, 4Vccになり、昇圧した電圧が得られる。

【0012】しかしながら、容量直列型チャージポンプでは、各容量としてデバイスの中で最も薄いMOSFETのゲート酸化膜を利用したウェル領域とゲート電極間の容量を用いるのが容量のサイズを小さくする上で有効であるが、その場合、実際の回路は、ウェル領域と基板間のPN接合の容量Csが、図17に示すように各容量C1, C2, C3に接続されたものとなる。その結果、各容量C1, C2, C3間のスイッチS1, S2, S3をオンにさせたときに、前段の容量にチャージされていた電荷の一部が次段の容量の寄生容量Csをチャージさせるのに消費され、その分だけ低い昇圧電圧しか得られない。

【0013】そこで、本発明者は、上記2つの形式のチャージポンプを組み合わせることで効率良く高い昇圧電圧を発生させることができるのでないかと考え、検討を行なった。そして、第1段階の昇圧に容量並列型チャージポンプを使用し第2段階の昇圧に容量直列型チャージポンプを使用することで、高い昇圧を行なえるとの着想を得た。なお、2以上のチャージポンプを組み合わせることにより昇圧電圧を発生させるようにした発明としては、例えば特開平3-73565号公報や特開平5-78785号公報、特開平6-208798号公報に記載された発明などがある。

【0014】しかしながら、2以上のチャージポンプを組み合わせたチャージポンプに関する従来の発明は、いずれも組み合わせるチャージポンプの形式を特定していないかあるいは容量並列型同士を組み合わせたものであり、容量並列型と容量直列型とをそれぞれの特性に着目してうまく組み合わせることで1種類のチャージポンプでは到達困難な高い昇圧電圧を得ることができるようにならなかった。

【0015】この発明の目的は、フラッシュメモリのような内部昇圧回路を有する半導体集積回路において、比較的低い電源電圧に基づいて10倍以上の高い昇圧電圧を発生することができる昇圧回路を提供することにある。

【0016】この発明の他の目的は、フラッシュメモリのような内部昇圧回路を有する半導体集積回路において、昇圧回路で発生された昇圧電圧の供給を受ける側の回路の種類に応じてチャージポンプを使い分けることによって効率良く昇圧電圧を発生することができる昇圧回路を提供することにある。

【0017】この発明の他の目的は、フラッシュメモリのような内部昇圧回路を有する半導体集積回路において、動作モードに応じてチャージポンプを選択的に動作させることにより消費電力の低減を図ることにある。

【0018】この発明のさらに他の目的は、フラッシュメモリのような内部昇圧回路を有する半導体集積回路に

おいて、電源電圧や消費電力の大小にかかわらず安定した昇圧電圧を発生することができる昇圧回路を提供することにある。

【0019】この発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0020】

【課題を解決するための手段】本願において開示される発明のうち代表的なものを概要を簡単に説明すれば、下記のとおりである。

【0021】すなわち、内部昇圧回路を備えた半導体集積回路において、電源電圧に基づいて第1段階の昇圧を行なうチャージポンプを容量並列型で構成するとともに、このチャージポンプで発生された昇圧電圧に基づいて第2段階の昇圧を行なうチャージポンプを容量直列型で構成するようにしたものである。

【0022】容量直列型のチャージポンプは、段数が増加するとチャージ電荷が寄生容量に食われて到達電圧が急速に飽和するが直列に配設される各段の昇圧用容量に印加される電圧はほぼ等しく耐圧の面からの設計がしやすいという特徴を備えている。一方、容量並列型のチャージポンプは、並列に配設される各段の昇圧用容量に印加される電圧が異なり後段に行くほど高くなるので耐圧の面から高い昇圧電圧を扱うのには適していないが、容量直列型に比べて多少段数が多くても昇圧電圧の飽和が起きにくいという特徴を備えている。そのため、上記のように第1段階の昇圧を行なうチャージポンプを容量並列型で構成し、第2段階の昇圧を行なうチャージポンプを容量直列型で構成することで、逆の場合に比べて効率良く比較的高い昇圧電圧を発生させることができる。

【0023】また、好ましくは、第1段階の昇圧を行なう容量並列型のチャージポンプは、発生された電圧が供給される側の回路の種類に応じて分割して設けるようにする。具体的には、発生された電圧が供給される側の回路が容量性負荷となるものと抵抗性負荷となるものとに分けて、チャージポンプを別々に設けるのが望ましい。

【0024】上記構成によれば、動作モードに応じて一方のチャージポンプの動作を停止させることで消費電力を低減したり、動作クロックの周波数を切り換えることで消費電力を低減したり電源電圧が低くても所望のレベルの昇圧電圧を確実に発生させるような制御を行なうことができる。

【0025】また、第1段階の昇圧を行なう容量並列型のチャージポンプは、各容量をそれぞれ厚みの異なるゲート絶縁膜を利用して構成し、昇圧電圧が低い側の容量には薄いゲート絶縁膜の容量を用いるとともに、昇圧電圧が高い側の容量には厚いゲート絶縁膜の容量を用いるようにする。これによって、電圧が低い側の容量は絶縁膜が薄いことによって所定の容量値を得るのに占有面積を小さくできるとともに、電圧が高い側の容量は絶縁膜

が厚いことによって耐圧が高くなり、信頼性を保証することができる。

【0026】特に、メモリセルがフローティングゲートとコントロールゲートを有する2重ゲート構造のMOSFETにより構成されているフラッシュメモリのような不揮発性メモリにおいては、フローティングゲートの下の第1ゲート絶縁膜（トンネル絶縁膜）はフローティングゲートとコントロールゲートとの間の第2ゲート絶縁膜よりも薄く形成されるので、これらのゲート絶縁膜をチャージポンプ内の容量の2種類の絶縁膜に使用するようにする。これによって、新たなプロセスを追加することなく2種類の絶縁膜の容量を有するチャージポンプを実現し、コストアップを回避することができる。

【0027】さらに、外部から供給される電源電圧のレベルが低くなったり、あるいは第1段階の昇圧を行なう容量並列型のチャージポンプの消費電力が多くなったような場合には、第2段階の昇圧を行なう容量直列型のチャージポンプを動作させるクロック信号のような動作信号の周波数を下げるよう制御する。これによって、第1段階の昇圧を行なうチャージポンプからの昇圧電圧で動作する回路と、第2段階の昇圧を行なうチャージポンプからの昇圧電圧で動作する回路のいずれにおいても動作を保証することができる。

【0028】しかも、フラッシュメモリのような半導体集積回路では、第2段階の昇圧電圧で動作する回路は書き込み消去系の回路であり、その電圧レベルさえ保証されていれば、多少所望のレベルに達成するまでに時間がかかるとしても致命的な不具合は起きない一方、時間がある程度かければ昇圧電圧は所望のレベルに達するので、いつまでたっても昇圧電圧が目標の電圧に達成しないことによりチップが動作しなくなるという不所望の事態が生じるので回避することができる。

【0029】

【発明の実施の形態】以下、本発明に係る昇圧回路をフラッシュメモリに適用した場合の実施例を、図面を用いて説明する。

【0030】図1は本発明に係る昇圧回路を備えたフラッシュメモリの内部電源回路部の概略構成を示すもので、図1において、符号1は外部からの電源電圧Vccに基づいて第1段階の昇圧を行なう第1昇圧回路、2は第1昇圧回路で昇圧された電圧VWDPに基づいて第2段階の昇圧を行なう第2昇圧回路である。この実施例においては、上記第1昇圧回路1は、容量並列型の2つのチャージポンプ回路CP11とCP12とを備えている。一方、上記第2昇圧回路2は、容量直列型の2つのチャージポンプ回路CP21とCP22とを備えている。特に制限されないが、上記第1昇圧回路1の容量並列型チャージポンプ回路CP11とCP12は、1.8V～3.3Vの電源電圧Vccに基づいて7Vのような昇圧電圧VWDP、VCPを発生する。

【0031】上記第2昇圧回路2の容量直列型チャージポンプ回路CP21とCP22のうち、CP21は不揮発性記憶素子からなるメモリアレイ10内の容量性負荷であるワード線WLに印加される+16Vのような正の書き込み電圧VWWを発生し、CP22はワード線WLに印加される-16Vのような負の消去電圧VEWを発生する。上記第1昇圧回路1の容量並列型チャージポンプ回路CP11とCP12のうちCP11で昇圧された電圧VWDPは上記第2昇圧回路2に供給され、CP12で昇圧された電圧VCPは抵抗性負荷である内部論理ゲート回路4やワードデコード回路5、抵抗分割回路などからなりワード線WLに印加される読み出し電圧VSWを発生する降圧回路6等に供給される。

【0032】ここで、抵抗性負荷である内部論理ゲート回路4とは、外部電源電圧Vccで動作するアドレスバッファやデータバッファなどを構成する論理ゲート回路を指すものではなく、メモリアレイ10の比較的近傍に設けられるデコーダ回路や書き込み消去の終了判定を行う直接制御系回路、電源切替え回路など内部昇圧電圧で動作し電流が流されることで論理を決定する論理ゲート回路を意味する。

【0033】さらに、上記第1昇圧回路1および第2昇圧回路2には、それぞれ供給されるクロックCK1, CK2の振幅を2倍にするための2倍昇圧回路3A, 3Bが設けられている。このうち2倍昇圧回路3Aは外部からの電源電圧Vccに基づいて2Vccの振幅を有するクロックGCLK1, GCLK2を生成し、2倍昇圧回路3Bは昇圧回路1で発生された昇圧電圧VWDPに基づいて2VWDPの振幅を有するクロックPCLK1を生成するようにそれぞれ構成されている。

【0034】上記クロックCK1, CK2, CLK1, CLK2, PCLK2は、チップ内部のクロック発生回路(図9の符号34参照)から供給されるとともに、制御回路からの起動信号ST1, ST2, ST3によって制御されるゲート7a, 7b, 7cにより上記チャージポンプCP11, CP21, CP22への供給が遮断可能に構成され、クロックの供給が遮断されるとそのチャージポンプは昇圧動作を停止するように構成されている。

【0035】なお、図1の実施例において、8はワードデコード回路5からの選択信号を受けてワード線WLを動作モードに応じた所定のレベルに駆動するワードドライバ、9a, 9bは動作モードに応じた電圧を選択して上記ワードドライバ8に供給する電圧切替えスイッチである。

【0036】上記のように、この実施例では、第1段階の昇圧を行なう昇圧回路1が2つの容量並列型のチャージポンプCP11とCP12とで構成され、一方で発生された昇圧電圧VWDPは容量性負荷となる回路に供給され、他方で発生された昇圧電圧VCPは抵抗性負荷となる

回路に供給されるように構成されているので、動作モードに応じて一方のチャージポンプの動作を停止させて消費電力を低減したり、動作クロックの周波数を切り換えて消費電力を低減したり電源電圧が低くても所望のレベルの昇圧電圧を確実に発生させるような制御を行なうことができる。

【0037】具体的には、この実施例のフラッシュメモリでは、昇圧電圧VCPを発生するチャージポンプCP12は抵抗性負荷となる内部論理ゲート回路4や抵抗分割回路6に動作電源を供給するためいずれの動作モードにおいてもつまり常時動作させるが、読み出しモードでは高い昇圧電圧を必要としないので昇圧電圧VWDPを発生するチャージポンプCP11の動作は停止させて消費電力を低減するように構成される。なお、昇圧電圧VWDPを発生するチャージポンプCP11の動作を停止させるとときは、この昇圧電圧VWDPに基づいて第2段階の昇圧を行なう昇圧回路2のチャージポンプCP21とCP22もその動作が停止される。チャージポンプCP11, CP21, CP22の動作停止は、起動信号ST1, ST2, ST3によりこれらに供給される動作クロックを停止させることで行なうことができる。

【0038】また、第1段階の昇圧を行なう昇圧回路1が2つの容量並列型のチャージポンプCP11とCP12とで構成され、CP11で発生された昇圧電圧VWDPを受けて第2段階の昇圧をする昇圧回路2のチャージポンプCP21とCP22は容量性負荷にのみ接続されているので、外部から供給される電源電圧Vccのレベルが下がったりあるいは低いため昇圧電圧VWDPを発生するチャージポンプCP11の供給能力が充分でない場合にも、チャージポンプCP21, CP22を動作させるクロックの周波数を下げて時間をかけてやれば所望のレベルに昇圧してやることができ、チップの動作が保証される。なお、このクロックの周波数の切替えについては、後述の実施例で、より具体的かつ詳細に説明する。

【0039】さらに、図1の実施例においては、第2段階の昇圧をする昇圧回路2のチャージポンプCP21とCP22は、一方は書き込み時の正の昇圧電圧VWWを、他方は消去時の負の昇圧電圧VEWを発生するので、書き込みモードではチャージポンプCP22の動作を停止させ、消去モードではチャージポンプCP21の動作を停止さるよう制御することで消費電力の低減が可能である。

【0040】次に、第1段階の昇圧を行なう昇圧回路1の容量並列型のチャージポンプCP11, CP12の具体的な回路構成例を、図2を用いて説明する。図2のチャージポンプは、並列に配列された5段の昇圧用の容量C1～C5と、各容量の充電側端子(ノードN1～N5)間に設けられたスイッチMOSFET Qs1～Qs4と、初段の容量C1の充電側端子(ノードN1)に外部電源電圧Vccを印加可能なスイッチMOSFET

Q_{S0} と、最終段の容量C5の充電側端子（ノードN5）の電圧VWDP（VCP）を電圧供給を受ける側の回路に伝達するスイッチMOSFET Q_{S5} と、各スイッチMOSFET $Q_{S0} \sim Q_{S5}$ を充分にオンさせるためゲート電圧を押し上げるブースト回路BST0～BST5とで構成されている。このうち、スイッチMOSFET $Q_{S0} \sim Q_{S5}$ は、図16の回路におけるダイオードとして機能する素子である。

【0041】上記昇圧用容量C1～C5のうち、奇数番目の容量C1, C3, C5の基準側端子（上記充電側端子と反対の端子）には、 $0V - V_{CC}$ の振幅を有する図3に示すようなクロックCLK1が印加される。また、偶数番目の容量C2, C4の基準側端子には、上記クロックCLK1とはハイレベルの期間が重ならないようにされ同じく $0V - V_{CC}$ の振幅を有するクロックCLK2が印加されるように構成されている。このようにほぼ逆相のクロックCLK1, CLK2によって、奇数番目の容量C1, C3, C5と偶数番目の容量C2, C4の基準側端子が交互にたたかれる（急激に上昇される）とともに、スイッチMOSFET $Q_{S0} \sim Q_{S5}$ が図16のダイオードと同様に動作するように制御されることによって、C1に充電された電荷がC2→C3→C4→C5と転送され、昇圧した電圧が発生される。

【0042】スイッチMOSFET $Q_{S0} \sim Q_{S5}$ を制御する上記ブースト回路BST0～BST5は、各々対応するスイッチMOSFET $Q_{S0} \sim Q_{S5}$ のゲート端子と前段側ノードN0～N4にソースとドレインが接続された第1のMOSFET Q10～Q15と、該MOSFET Q10～Q15と並列に接続された第2のMOSFET Q20～Q25と、一方の端子が対応するスイッチMOSFET $Q_{S0} \sim Q_{S5}$ のゲート端子に接続された瞬時ブースト用の容量Cb0～Cb5とから構成されている。瞬時ブースト用の容量Cb0～Cb5は昇圧用の容量C1～C5に比べて充分に小さな容量値とされる。

【0043】そして、上記第1のMOSFET Q10～Q15はそのゲートとドレインとが結合されて前段側から $Q_{S0} \sim Q_{S5}$ のゲート側へ電流を流すダイオードとして機能し、第2のMOSFET Q20～Q25はQ10～Q15とは逆にそのゲートとドレインとが結合されて $Q_{S0} \sim Q_{S5}$ のゲート側から前段側へ電流を流すダイオードとして機能するように構成されている。また、ブースト用の容量Cb0～Cb5のうち、奇数番目のCb0, Cb2, Cb4の基準側端子($Q_{S0} \sim Q_{S5}$ のゲートに接続された端子と反対側の端子)には、上記クロックCLK2のパルス幅P2よりもパルス幅が狭くされた $0V - 2V_{CC}$ の振幅を有するクロックGCLK1が印加される。また、偶数番目のブースト容量Cb1, Cb3, Cb5の基準側端子には、上記クロックGCLK1とはハイレベルの期間が重ならないようにされ

かつクロックCLK1のパルス幅P1(=P2)よりもパルス幅が狭くされた $0V - 2V_{CC}$ の振幅を有するクロックGCLK2が印加されるように構成されている。

【0044】ブースト回路BST0～BST5の作用を、ブースト回路BST1と昇圧用容量C1とブースト容量Cb1とスイッチMOSFET Q_{S1} に着目して説明する。先ず、定常状態で容量C1の基準端子側に印加されるクロックCLK1がロウレベルになっている期間T1に着目する。このとき既に前段のスイッチMOSFET Q_{S0} により容量C1は V_{CC} に充電されており、ノードN11の電位は V_{CC} となっている。また、ブースト容量Cb1の基準端子側に印加されるクロックGCLK2もロウレベルになっている。そのため、仮にこのときブースト容量Cb1の Q_{S1} のゲート側端子に電荷がチャージされてノードN12が V_{CC} 以上になっていたとしても、ダイオード接続のMOSFET Q21がオンしてノードN11側へ電荷が移動して、ノードN12の電位はN11の電位よりもMOSFET Q21のしきい値電圧 V_{th} 分だけ高い電位となる。

【0045】次に、タイミングt2でクロックCLK1がロウレベルからハイレベルに変化すると、クロックCLK1によって昇圧用容量C1の基準側端子がたたかれてノードN11の電位が $2V_{CC}$ に変化する。このときクロックGCLK2はまだロウレベルであるので、ダイオード接続のMOSFET Q11がオンしてノードN11からN12側へ電荷が移動する。このときブースト容量Cb1の値は昇圧用容量C1の値よりも充分に小さいため、電荷の移動によるノードN11のレベル低下は無視できるほど小さい。そして、ノードN12の電位はノードN11の電位である $2V_{CC}$ よりもMOSFET Q11のしきい値電圧 V_{th} 分だけ低い $2V_{CC} - V_{th}$ となる。

【0046】続いて、タイミングt3でクロックGCLK2がロウレベルからハイレベル($2V_{CC}$)に変化すると、クロックGCLK2によってブースト容量Cb1の基準側端子がたたかれてノードN12の電位が $2V_{CC} - V_{th} + 2V_{CC}$ に変化する。これによって、MOSFET Q_{S1} はNチャネル型であってもそのゲート電圧がノードN1の電位 $2V_{CC}$ よりも $2V_{CC}$ 近く高い電位にされることで充分にオンされて、ノードN1の電荷をノードN2へ移動させて次段の昇圧用容量C2を充電させ、ノードN2の電位は Q_{S1} により電位落下(V_{th} 落ち)することなく $2V_{CC}$ になる。なお、ノードN1からノードN2への電荷移動と並行して、ダイオード接続のMOSFET Q21がオンしてノードN12からN11側へ電荷が移動して、ノードN12の電位は再びノードN11の電位よりもMOSFET Q21のしきい値電圧 V_{th} 分だけ高い電位となる。

【0047】次に、タイミングt4でクロックGCLK2がハイレベル($2V_{CC}$)からロウレベルに変化する

と、ノードN12の電位が2Vcc低い電位へ向かって変化する。これによって、MOSFET Qs1がオフされてノードN2からN1への逆流を防止してから、クロックCLK1がハイレベルからロウレベルに変化して、ノードN1の電位がVcc以下に落ちる。その後、タイミングt5でクロックGCLK1がロウレベルからハイレベル(2Vcc)に変化することでスイッチMOSFET Qs0がオンされて、昇圧用容量C1が再びVccに充電される。

【0048】次段の昇圧用容量C2では、前段の昇圧用容量C1の2Vccの昇圧電圧を受けてクロックCLK2とGCLK1によって容量C1よりも半周期遅れて上記と同様な昇圧動作を行なって、2VccよりもVcc高い3Vccの電圧を発生して次段に伝える。このようにして、この実施例のチャージポンプでは、最終的にVccの6倍に近い昇圧電圧VWDP(VCP)を発生することができる。

【0049】なお、図2には示されていないが、この昇圧回路の出力端子側には、その昇圧電圧が所望のレベル以上にならないように制限するリミッタ回路が設けられている。特に制限されないが、この実施例では、電源電圧Vcc1.8V系に対しても10V程度の昇圧電圧を発生できるように昇圧回路が設計され、そのときにリミッタ回路は発生電圧を約7Vに制限するように設計される。これによって、電源電圧Vccが3Vよりも低かつたり負荷回路の消費電力が増えても安定した昇圧電圧を供給することができる。

【0050】上述したように、上記実施例の容量並列型のチャージポンプ回路においては、スイッチMOSFET Qs0～Qs5における電位降下がなく昇圧電圧を次段に伝達することができるので、理論的にはさらに高い電圧まで昇圧することが可能である。しかし、図2の回路形式のままさらに段数を増やして高い昇圧電圧を発生させようとすると、各容量やMOSFETのゲートに印加される電圧が非常に高くなってしまい、絶縁膜の破壊等、デバイスの信頼性の面からの問題が浮上してくる。そこで、本発明では、昇圧回路を第1段階の昇圧を行なう第1昇圧回路と、第2段階の昇圧を行なう第2昇圧回路とに分割し、第2昇圧回路は容量直列型のチャージポンプで構成することにより、デバイスの信頼性を保証するようしている。

【0051】次に、第2昇圧回路2の容量直列型チャージポンプCP21, CP22のうちの正の昇圧電圧を発生するチャージポンプCP21の実施例について、図4を用いて説明する。

【0052】図4のチャージポンプは、MOSFETを介して直列に接続された2段の昇圧用の容量C11, C12と、各容量間を接続・遮断可能なスイッチMOSFET Qs11と、最終段の容量C12の充電側端子の電圧VWW(VEW)を電圧供給を受ける側の回路に伝達する

スイッチMOSFET Qs13と、各容量の充電側端子(高電位側端子)と電源電圧端子V0との間に接続されたスイッチMOSFET Qs21, Qs22と、2段目の容量C12の基準側端子(低電位側端子)と接地電位Vss(0V)との間に接続されたスイッチMOSFET Qs31と、最終段のスイッチMOSFET Qs13のゲート端子と電源電圧端子V0との間に接続されたスイッチMOSFET Qs24と、最終段のスイッチMOSFET Qs13を充分にオンさせるためゲート電圧を押し上げるブースト回路BST6とで構成されている。このうち、スイッチMOSFET Qs11, Qs13は、図14の回路におけるスイッチとして機能する素子である。

【0053】上記ブースト回路BST6は、昇圧用容量C13の充電側端子(高電位側端子)と最終段のスイッチMOSFET Qs13のゲート端子との間に直列形態に接続されたMOSFET Qbおよび瞬時ブースト用容量Cbと、QbとCbの接続ノードNbと接地電位Vss(0V)との間に接続されたスイッチMOSFET Qs33により構成されている。そして、スイッチMOSFET Qs11, Qs13のうちQs11と、ブースト回路のMOSFET QbはPチャネル型とされ、そのゲート端子に電圧V0が印加されることにより通常オフ状態とされている。これは、MOSFET Qs11とQbはソースとドレインの電位関係が必ず同一か前段側のノードの方が高くなり、後段側のノードの電位が高くなることはないためである。つまり、MOSFET Qs11とQbのウェル領域を前段側のノードに接続することでウェル領域をN型としたPチャネルMOSFETを使用することができるためである。そして、MOSFET Qs11をPチャネルとすることで、前段で昇圧された電圧を電位落ち(Vth落ち)することなく後段に伝えることができる。

【0054】一方、スイッチMOSFET Qs13はソースとドレインの電位関係が決まっていないためNチャネル型を使用し、前段で昇圧された電圧を電位落ち(Vth落ち)することなく後段に伝えるためブースト回路BST6を設けている。同様に昇圧用容量C11, C12の両端子に電圧V0とを印加してプリチャージするためのスイッチMOSFET Qs21, Qs22, Qs24もソースとドレインの電位関係が決まっていないためNチャネル型を用いている。ただし、充電電圧をV0とするとNチャネル型では電位落ちするおそれがあるので、Qs21, Qs22, Qs24のゲート端子には図5に示すような2V0の振幅を有するクロックCLK1が印加されている。

【0055】MOSFET Qs31, Qs33は、昇圧用容量C12とブースト容量Cbの一方の端子に接地電位Vssを供給するためにNチャンネル型を用い、そのゲート端子には図5に示すようなVccの振幅を有す

るクロックPCLK2が印加されている。上記クロックPCLK1は初段の昇圧用容量C11の基準側端子に印加される振幅V0のクロックCLK1と逆相とされ、クロックPCLK2はPCLK1と同相とされる。

【0056】この実施例のチャージポンプ回路は、動作電圧V0として前記容量並列型のチャージポンプCP11で発生された昇圧電圧VWDPを用いている。そして、初段の昇圧用容量C11の基準側端子に印加されるクロックCLK11がロウレベルにされている期間T11において、クロックPCLK1とPCLK2をハイレベルに変化させてスイッチMOSFET Qs21, Qs22, Qs24およびQs31をオンさせることで、昇圧用容量C11, C12をそれぞれV0までプリチャージする。それから、スイッチMOSFET Qs21, Qs22, Qs24およびQs31をオフさせて、昇圧用容量C11, C12の両端子をそれぞれ電源電圧端子と接地端子から遮断し、クロックCLK1をハイレベルに変化させる。すると、スイッチMOSFET Qs11は前段側のノードの電位すなわちソース電位がゲート電位(=V0)よりも高くなることにより自動的にオンされて昇圧用容量C11, C12が直列接続された状態にされる。その結果、各昇圧用容量C11, C12のプリチャージ電圧のほぼ総和(=3V0)に相当する昇圧電圧が発生する。

【0057】また、このとき、ブースト回路BST6では、昇圧用容量C11, C12のプリチャージと同時にブースト用容量CbがV0までプリチャージされて、クロックCLK1がハイレベルに変化されたときにスイッチMOSFET Qs11, Qs12と同様にQbがオンされることによって最終段のスイッチMOSFET Qs13のゲート電圧が前段側のノードの電位(ソース電位)よりもプリチャージ電圧V0分高い電位まで押し上げられて充分なオン状態にされ、容量C11, C12で発生した昇圧電圧を電位落ちさせることなく後段の回路に伝達させることができる。

【0058】図6には、第2昇圧回路2の容量直列型チャージポンプCP21, CP22のうちの負の昇圧電圧VEWを発生するチャージポンプCP22の実施例が、図7(a)にはその動作クロック波形、図7(b)にはプリチャージの際の昇圧用容量C11'～C13'に対する印加電圧とスイッチS11'～S13'の状態が示されている。

【0059】図6のチャージポンプと図4のチャージポンプとの相違は、使用しているMOSFETの導電型が逆、すなわち図6では図4のP-MOSの代わりにN-MOSを、N-MOSの代わりにP-MOSを使用している点と、直列形態の昇圧用容量C11, C12とC11'～C13'に対するプリチャージ時の充電の向きが逆である点と、クロックCLK1, PCLK1, PCLK2のタイミングが異なっていてプリチャージの際に図

4のチャージポンプでは初段の昇圧用容量C11の基準側端子に接地電位Vssを印加しておいて昇圧動作のときにV0に上昇させるのに対して図6のチャージポンプでは初段の昇圧用容量C11'の基準側端子に電源電圧V0を印加しておいて昇圧動作のときに接地電位Vssに降下させることで負電圧を発生する点などにある。

【0060】次に、上記実施例の容量並列型チャージポンプCP11, CP12と容量直列型チャージポンプCP21, CP22において、容量素子の構造の面で工夫した点を、図8を用いて説明する。

【0061】図8(a)にはメモリアレイに設けられる不揮発性記憶素子としてのフローティングゲートを有するMOSFET(以下、これをF-MOSと記す)の断面構造が、図8(b)には容量並列型チャージポンプCP11, CP12における初段と2段目の昇圧用容量C1, C2とブースト回路BST0～BST2内の容量Cb0, Cb1, Cb2の断面構造が、図8(c)には容量並列型チャージポンプCP11, CP12における残りの昇圧用容量C3, C4, C5とブースト回路BST3～BST5内の容量Cb3, Cb4, Cb5および容量直列型チャージポンプCP21, CP22内の容量C11～C13, Cbの断面構造が示されている。

【0062】図8(a)において、符号100は単結晶シリコンのような半導体基板、110は半導体基板100の表面に形成されたP型ウェル領域、121, 122はP型ウェル領域110の表面に適当な間隔を置いて形成されたN型ソース領域およびドレイン領域、130はソース領域およびドレイン領域の間のP型ウェル領域110上に酸化シリコン膜のような第1絶縁膜(図示省略)を介して形成されたポリシリコン等からなるフローティングゲート、140はこのフローティングゲート130の上に同じく酸化シリコン膜のような第2絶縁膜(図示省略)を介して形成されたポリシリコン等からなるコントロールゲート兼ワード線である。

【0063】また、図8(a)において、符号tox1は酸化シリコン膜などからなる第1ゲート絶縁膜の厚み、tox2は同じく第2ゲート絶縁膜の厚みを示すものであり、tox1としては例えば9nm、tox2としては例えば14nmのような値が考えられる。

【0064】一方、図8(b), (c)において、符号150は半導体基板100の表面に形成され容量素子の一方の電極となるN型ウェル領域、161, 162はN型ウェル領域150の表面に形成されたコンタクト用の高濃度N型領域、170はN型ウェル領域150上に絶縁膜(図示省略)を介して形成され容量素子の他方の電極となる導電層である。上記コンタクト用の高濃度N型領域161, 162は、図8(a)のF-MOSのソース、ドレイン領域111, 112と異なり、導電層170を囲むようなリング状とすることができます。

【0065】図8(b)の容量と図8(c)の容量の構

造上の差異は、図8(c)の方が誘電体となる絶縁膜が厚い点にある。具体的には、図8(b)の容量の絶縁膜は図8(a)に示されているF-MOSの第1ゲート絶縁膜と同時に形成されることにより、その厚みが t_{ox1} とされている。一方、図8(c)の容量の絶縁膜は図8(a)に示されているF-MOSの第2ゲート絶縁膜と同時に形成されることにより、その厚みが $(t_{ox1} + t_{ox2})$ とされている。これによって、図8(c)の容量の方が図8(b)の容量よりも耐圧が高くされる。ただし、単位面積当たりの容量値は、絶縁膜の薄い図8(b)の容量の方が図8(c)の容量よりも大きくなる。

【0066】上記実施例では、図8(b)の容量の絶縁膜も図8(c)の容量の絶縁膜もF-MOSのゲート絶縁膜と同時に形成しているので、何ら新たなプロセスを追加することなく耐圧の異なる2種類の容量素子を形成することができる。また、各容量の他方の電極となる導電層170に関しても、図8(b)の容量の導電層170はF-MOSのフローティングゲートと同時に、図8(c)の容量の導電層170はF-MOSのコントロールゲートと同時に形成することができる。各容量のコンタクト用高濃度N型領域161, 162も、NチャネルMOSFETと同時に形成することができる。さらに、容量の一方の電極となるN型ウェル領域150に関しては、図8には示されていないPチャネルMOSFETが形成されるN型ウェル領域と同時に形成することができる。このようにして、図8(b)と図8(c)の2種類の容量は、何ら新たなプロセスを追加することなく形成することができる。

【0067】なお、図8(c)の容量の絶縁膜に関しては、F-MOSの第1絶縁膜を形成するときにこれらの容量形成領域に第1絶縁膜を形成せずにあるいは一旦形成した第1絶縁膜を除去した上で第2絶縁膜を形成するようにしても良いが、第1絶縁膜を形成しておいて更にその上に第2絶縁膜を形成するようにしても新たなプロセスを追加することなく高耐圧容量を形成することができる。後者の場合、図8(c)の高耐圧容量の誘電体としての絶縁膜の厚みは、F-MOSの第1絶縁膜の厚みと第2絶縁膜の厚みの和となり、さらに耐圧が高くなる。従って、容量並列型チャージポンプCP11, CP12における昇圧用容量C1～C5を、互いに絶縁膜の厚みが異なる3種類の容量とすることも可能である。

【0068】上記のように、耐圧すなわち絶縁膜の厚みの異なる2種類の容量を形成して使い分け、高い電圧が印加されない容量並列型チャージポンプCP11, CP12における初段と2段目の昇圧用容量C1, C2とブースト回路BST0～BST2内の容量Cb0, Cb1, Cb2として、図8(b)の絶縁膜の薄い容量を用いることで、占有面積を少なくすることができます。一方、容量並列型チャージポンプCP11, CP12にお

ける残りの昇圧用容量C3, C4, C5とブースト回路BST3～BST5内の容量Cb3, Cb4, Cb5および容量直列型チャージポンプCP21, CP22内の容量C11～C13, Cbは、高い電圧が印加されるが、図8(c)の絶縁膜の厚い容量を用いることで、耐圧を保証しデバイスの信頼性を高めることができる。

【0069】図9には、本発明に係る昇圧回路を適用して有効な半導体集積回路の一例としてのフラッシュメモリの実施例のブロック図を示す。特に制限されないが、この実施例のフラッシュメモリFLMは1つのメモリセルに2ビットのデータを記憶可能な多値メモリとして構成され、単結晶シリコンのような1個の半導体チップ上に形成される。

【0070】なお、本実施例では、メモリアレイが2つのマットで構成され、2つのマット間に各マット内のビット線BLに接続され読み出し信号の増幅およびラッチを行なうセンス&ラッチ回路（以下センスラッチと称し、図にはSLと記す）が配置されている。また、マットの外側すなわちビット線BLを挟んでセンス&ラッチ回路SLと反対側にそれぞれ書き込み、読み出しデータを一時保持するためのラッチ回路が配置されている。以下、このラッチ回路をデータラッチと称し、図にはDLと記すとともに、2つのマットのうち上マット側と下マット側とでそれぞれU, Dを付して区別する。

【0071】図9において、10は2つのメモリマットMAT-U, MAT-Dで構成されたメモリアレイ、20は外部から入力された書き込みデータを2ビットごとに4値データに変換するデータ変換回路である。メモリマットMAT-U, MAT-Dにはそれぞれ、図8(a)に示されているようなフローティングゲート130とコントロールゲート140とを有する2重ゲート構造のMOSFETにより構成されたメモリセルがマトリックス状に配置され、同一行のメモリセルのコントロールゲートは共通のワード線WLに接続され、同一列のメモリセルのドレインは共通のビット線BLに接続可能にされている。

【0072】メモリアレイ10には、各メモリマットMAT-U, MAT-Dに対応してそれぞれX系のアドレスデコーダ（ワードデコーダ）13a, 13bと、該デコーダ13a, 13bのデコード結果に従って各メモリマット内の1本のワード線WLを選択レベルに駆動するワードドライブ回路14a, 14bが設けられている。特に制限されないが、この実施例のメモリアレイ10では、上記ワードドライブ回路が各メモリマットの両側および中央に配置されている。Y系のアドレスデコーダ回路(Y-DEC)およびこのデコーダによって選択的にオン、オフされてデータ変換回路20からのデータを対応するセンスラッチに転送させるカラムスイッチ(CSW)は、センスラッチ列(SL)およびデータラッチ列(DL)と一体的に構成されている。

【0073】図9では、このY系デコーダ回路とカラムスイッチとセンスラッチ回路とが、1つの機能ブロック11(Y-DEC&SL)で示されている。また、上記データ変換回路20で変換された書き込みデータやメモリセルからの読み出しデータを保持するデータラッチ列12a, 12bがメモリマットの外側(図では上下)にそれぞれ配置されている。

【0074】この実施例のフラッシュメモリは、特に制限されないが、外部のコントロール装置から与えられるコマンド(命令)をデコードするコマンドデコーダ31と、該コマンドデコーダ31のデコード結果に基づいて当該コマンドに対応した処理を実行すべくメモリ内部の各回路に対する制御信号を順次形成して出力する制御回路(シーケンサ)32とを備えており、コマンドが与えられるとそれを解読して自動的に対応する処理を実行するように構成されている。上記制御回路32は、例えばコマンドを実行するのに必要な一連のマイクロ命令群が格納されたROM(リード・オンリ・メモリ)を備え、コマンドデコーダ31がコマンドに対応したマイクロ命令群の先頭アドレスを生成して制御回路32に与えることにより、マイクロ命令が順次実行されてチップ内部の各回路に対する制御信号が形成されるように構成されている。

【0075】また、この実施例の多値フラッシュメモリには、上記各回路の他、書き込み時や消去時にセンスラッチ列SLのデータに基づいて書き込みまたは消去が終了したか判定して上記制御回路32に知らせ書き込みシーケンスまたは消去シーケンスを終了させる書き・消去判定回路33や、前記実施例における昇圧回路1, 2の動作クロックCK1, CK2, CLK1, CLK2, PCLK2や内部回路の動作に必要な複数のタイミングクロックを形成してメモリ内の各回路に供給するクロック発生回路34、メモリ内部の状態を反映するとともに外部に対して外部からアクセスが可能か否かを示すレディ/ビギン信号R/Bを信号を形成して出力したり内部回路をテストする機能を備えたステータス&テスト系回路35、メモリアレイ10から読み出された信号を増幅するメインアンプ回路36、電源系回路37、外部から入力されるアドレス信号や書き込みデータ信号およびコマンドを取り込んで内部の所定の回路に供給するとともに読み出しデータ信号を外部へ出力するための入出力制御回路38、外部から入力される制御信号を取り込んで制御回路32やその他内部の所定の回路に供給する入出力バッファ39、アドレス系制御回路40、メモリアレイ内に不良ビットがあった場合に予備メモリ行と置き換えるための冗長回路41等が設けられている。

【0076】上記電源系回路37は、書き込み電圧等の基準となる電圧を発生する基準電源発生回路や外部から供給される電源電圧Vccに基づいて書き込み電圧、消去電圧、読み出し電圧、ベリファイ電圧等チップ内部で必要と

される電圧を発生する内部電源発生回路、メモリの動作状態に応じてこれらの電圧の中から所望の電圧を選択してメモリアレイ10に供給する電源切り替え回路、これらの回路を制御する電源制御回路371等からなる。前記実施例の昇圧回路1, 2は、この電源系回路37の内部電源発生回路部に設けられる。なお、図9において、21は外部から電源電圧Vccが印加される電源電圧端子、22は同じく接地電位Vssが印加される電源電圧端子(グランド端子)である。

【0077】また、上記アドレス制御系回路40は、外部から入力されるアドレス信号を取り込んでカウントアップするアドレスカウンタACNTや、データ転送時にYアドレスを自動的に更新したりデータ消去時等に自動的にXアドレスを発生するアドレスジェネレータAGE N、入力アドレスと不良アドレスとを比較してアドレスが一致したときに選択メモリ行または列を切り換える救済系回路等からなる。

【0078】外部のCPU等からこの実施例のフラッシュメモリに入力される制御信号としては、例えばリセット信号RESやチップ選択信号CE、書き込み制御信号WE、出力制御信号OE、コマンドもしくはデータ入力かアドレス入力かを示すためのコマンドイネーブル信号CDE、システムクロックSC等がある。

【0079】次に、本発明の他の実施例を、図10を用いて説明する。

【0080】この実施例は、第1段階の昇圧を行なうチャージポンプCP10を動作させるクロック信号CLK0を分周する分周回路51と、該分周回路51で分周されたクロックCLK1, CLK2を切り替える切替え回路52もしくはセレクタとを設けて、切替え制御回路53からの制御信号で第2段階の昇圧を行なうチャージポンプCP20を動作させるクロック信号PCLKの周波数を切り替えるようにしたものである。前記実施例のフラッシュメモリでは、分周回路51はクロック発生回路34内に、切替え回路52および切替え制御回路53は電源系回路37内に設けるようにすればよい。

【0081】なお、この実施例においても、10倍程度もしくはそれ以上昇圧を行なう場合には、第1段階の昇圧を行なうチャージポンプCP10を容量並列型とし、第2段階の昇圧を行なうチャージポンプCP20を容量直列型とするのが望ましい。

【0082】ただし、これに限定されるものでなく、特に第1段階の昇圧を行なうチャージポンプCP10の負荷が抵抗性負荷であり第2段階の昇圧を行なうチャージポンプCP20の負荷が容量性負荷であるような場合であって、第1段階の昇圧を行なうチャージポンプCP10を容量直列型とし第2段階の昇圧を行なうチャージポンプCP20を容量並列型とする場合や、両方とも容量直列型または両方とも容量並列型とする場合にも本実施例は適用することができる。

【0083】この実施例を適用することにより、例えば外部から供給される電源電圧V_{CC}のレベルが低くなったり、あるいは第1段階の昇圧を行なうチャージポンプCP10の消費電力が多くなったような場合に、第2段階の昇圧を行なうチャージポンプCP20を動作させるクロック信号の周波数を下げるよう制御することができる。これによって、第1段階の昇圧を行なうチャージポンプからの昇圧電圧で動作する回路と、第2段階の昇圧を行なうチャージポンプからの昇圧電圧で動作する回路のいずれにおいても動作を保証することができる。

【0084】例えば、前記実施例のフラッシュメモリでは、第2段階の昇圧電圧で動作する回路は書込み消去系の回路であり、その電圧レベルさえ保証されれば、多少所望のレベルに達成するまでに時間がかかるため致命的な不具合は起きない一方、時間がある程度かければ昇圧電圧は所望のレベルに達するので、いつまでたっても昇圧電圧が目標の電圧に達しないことによりチップが動作しなくなるという不所望の事態が生じるのを回避することができる。また、本実施例によれば、電源電圧V_{CC}が3V系のシステムと1.8V系のシステムの何れにも使用できるような製品（フラッシュメモリ）を提供することもできる。

【0085】図11には、図10における切替え回路52および切替え制御回路53のより具体的な構成例を示す。

【0086】切替え回路52は、分周回路51から供給される2つのクロックCLK1とCLK2のそれぞれの伝送経路上に設けられたMOSFET Qt1とQt2と、Qt1のゲート制御信号を反転してQt2のゲート端子に印加するインバータINVとから構成されている。切替え制御回路53は、電源電圧V_{CC}と接地電位との間に直列に接続された2つの抵抗R1、R2およびMOSFET Qc1からなり電源電圧V_{CC}を抵抗R1とR2の抵抗比分割した電圧を発生する抵抗分割回路531と、該抵抗分割回路531で発生された電圧と予め設定された所定レベルの参照電圧V_{REF}とを比較するコンパレータ532と、コンパレータ532の出力信号の振幅をV_{CC}からV_{CP}へ広げるレベルシフト回路533とから構成されている。

【0087】抵抗分割回路531内のMOSFET Qc1は、第2段階の昇圧をするチャージポンプCP20が動作するとき（フラッシュメモリでは書込みまたは消去時）にのみこの切替え制御回路53が能動化されるよう、起動信号STにより制御されて抵抗R1、R2に電流を流したり遮断したりできるようにするためのスイッチである。なお、この起動信号STは、図1の実施例における制御信号ST2とST3の論理和をとった信号を用いることができる。これを適用することにより、例えば、外部電源電圧V_{CC}が3V系の場合には図12(a)のようにクロックの周波数が高くても第2段階の

チャージポンプCP20の出力が目標電圧に達していたものが、電源電圧V_{CC}が1.8V系の場合には図12(b)のようにクロックの周波数が高いと第2段階のチャージポンプCP20の出力が目標電圧に達しなくなるが、図12(c)のようにクロックの周波数を下げることにより所要時間は長くなるものの第2段階のチャージポンプCP20の出力が目標電圧に達するようになる。

【0088】なお、図12において、リミッタ出力とは、図13に示すように、チャージポンプCP20の出力側に設けられ昇圧電圧が所望のレベル以上にならないように制限するリミッタ回路60から出力される信号LMDであり、この実施例のリミッタ回路60は昇圧回路の出力電圧が所望のレベルに達したときにハイレベルの検出信号LMDを出力する機能を有するように構成されている。かかるリミッタ回路およびレベル検出回路に関してはすでに種々の提案がなされているので、具体的な回路については説明を省略する。

【0089】図13の実施例においては、このリミッタ回路60の出力信号LMDを制御信号とする論理積ゲート61を設けて、リミッタ出力LMDでチャージポンプCP20の起動信号STを制御して、チャージポンプCP20の出力昇圧電圧が所望のレベル以上になった場合には、チャージポンプCP20の動作を停止させて無駄な消費電力を減らすことができるようになっている。

【0090】また、図9に示すフラッシュメモリにおいては、リミッタ出力LMDを制御回路32へ供給し、制御回路32はこのリミッタ出力LMDがハイレベルに変化したのを受けてメモリセルに対する書込みまたは消去電圧の印加を開始するように構成することができる。これによって、図13の回路と図11に示す回路とを併用してフラッシュメモリに設けることで、外部電源電圧V_{CC}が3V系または1.8V系のいずれのシステムに使用されても、所要時間は異なるが全く同一の制御シーケンスで正確な書込み、消去動作を実行することができるようになり、チップの汎用性が高くなる。

【0091】図14に他の実施例を示す。この実施例では、例えば図1における第1段階の昇圧回路1内の抵抗性負荷回路に昇圧電圧を供給する側のチャージポンプCP12を、複数(n個)の並列チャージポンプで構成している。そして、図11に示されている電源電圧V_{CC}のレベル検出回路531のような回路を有する制御回路70と各チャージポンプに対応したゲート回路71とを設けて、制御回路70から出力される電源電圧のレベルに応じた信号でゲート回路71を制御し、電源電圧V_{CC}が低いときは全てのチャージポンプに動作クロックCLKを供給して昇圧動作させるとともに、電源電圧V_{CC}が高いときはゲート回路71を制御して動作クロックCLKが供給されるチャージポンプの数を減らすようにしたものである。これによって、電源電圧のレベルにかかわらず昇圧回路の供給能力を安定化させることができ

る。

【0092】なお、この実施例における並列チャージポンプは、それぞれが単独のチャージポンプと同じ構成を有し、全体で単独とした場合のチャージポンプと同一の供給能力を有すると仮定すると、その1つ1つは内部の昇圧用容量の容量値が単独とした場合のチャージポンプ内の昇圧用容量の容量値の $1/n$ に設定される。制御回路70は、図9に示すフラッシュメモリにおいては、電源制御回路371または制御回路32などに設けられる。

【0093】また、この実施例においても、図13の実施例を適用してチャージポンプの出力側に設けられるリミッタ回路からのリミット出力を制御回路70に供給して昇圧電圧に応じて各チャージポンプを制御して消費電力を低減させるように構成することができる。さらに、本実施例は、図1における第1段階の昇圧回路1内の抵抗性負荷回路に昇圧電圧を供給する側のチャージポンプCP12に限定されず、容量性負荷回路に昇圧電圧を供給する側のチャージポンプCP11や第2段階の昇圧回路2内のチャージポンプCP21, CP22にも適用することが可能である。

【0094】電源電圧のレベルに応じて昇圧電圧の供給能力を制御する方法としては、図14のようにチャージポンプの動作個数を可変にする実施例の他に、チャージポンプの昇圧段数を可変に構成する方法も考えられる。具体的には、図15のように、チャージポンプの各昇圧段毎にクロックの制御用ゲート回路72を設けて、図14の制御回路70のような回路からの制御信号(1), (2)……(i)で制御用ゲート回路72を制御して動作クロックの供給を各昇圧段毎に遮断できるように構成することで実現できる。

【0095】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、実施例においては、第1段階の昇圧回路のチャージポンプで電源電圧の6倍に近い昇圧をして出力側に設けたリミッタ回路で約7Vに制限するとともに、第2段階の昇圧回路のチャージポンプでは第1段階の昇圧回路の昇圧電圧を用いてこれを3倍に近くに昇圧をして出力側に設けたリミッタ回路で約16Vに制限している。つまり、実施例では、最終的な昇圧電圧が、トンネル注入による書き込み、消去を行なうフラッシュメモリが必要な16Vと-16V(1.8Vの電源電圧の約9倍)とされているが、リミッタ回路によるリミット電圧を調整することで、電源電圧の10倍以上の昇圧電圧を得ることは充分に可能である。

【0096】また、第1段階の昇圧回路のチャージポンプの段数と第2段階の昇圧回路のチャージポンプの段数はそれぞれ実施例の5段と3段の組合せに限定されず、

4段と3段もしくは4段、あるいは、6段と3段もしくは2段など、種々の組合せとすることが可能である。

【0097】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリに適用した場合について説明したが、この発明はそれに限定されるものではなく、複数の昇圧電圧を必要としそれを内部で発生する半導体集積回路に広く利用することができる。本発明は、フローティングゲートを有する不揮発性記憶素子への書き込みと消去をそれぞれFNトンネル現象を利用して行なう不揮発性半導体メモリに適用して有効であり、特に1素子に複数ビットの情報を記憶する多値メモリに適用すると有効である。

【0098】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0099】すなわち、本発明に従うと、供給される電源電圧の10倍以上の高い昇圧電圧を発生することができる昇圧回路を得ることができる。また、本発明に従うと、昇圧された電圧が供給される回路の種類に応じてチャージポンプを使い分けることによって効率良く昇圧電圧を発生することができる昇圧回路を得ることができる。

【0100】さらに、本発明に従うと、動作モードに応じてチャージポンプを選択的に動作させることにより消費電力の低減を図ることができる。また、電源電圧や消費電力の大小にかかわらず安定した昇圧電圧を発生することができる昇圧回路を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る昇圧回路の第1の実施例を示すブロック図である。

【図2】第1段階の昇圧を行なう容量並列型チャージポンプの一実施例を示す回路図である。

【図3】図2のチャージポンプの動作クロックのタイミングを示すタイミングチャートである。

【図4】第2段階の昇圧を行なう容量直列型チャージポンプの一実施例を示す回路図である。

【図5】図4のチャージポンプの動作クロックのタイミングを示すタイミングチャートである。

【図6】第2段階の昇圧を行なう負電圧発生用容量直列型チャージポンプの一実施例を示す回路図である。

【図7】図6のチャージポンプの動作クロックのタイミングを示すタイミングチャートおよびプリチャージ時の各昇圧用容量の充電状態を示す状態説明図である。

【図8】不揮発性記憶素子の構造と、チャージポンプ内の昇圧用容量の構造例を示す断面図である。

【図9】本発明に係る昇圧回路を備えたフラッシュメモリの一実施例の概略を示す全体ブロック図である。

【図10】本発明に係る昇圧回路の他の実施例を示すブロック図である。

【図11】図10の切替え制御回路の具体例を示す回路構成図である。

【図12】図11の回路の動作タイミングを示すタイミングチャートである。

【図13】本発明に係る昇圧回路の他の実施例を示すブロック図である。

【図14】本発明に係る昇圧回路の他の実施例を示すブロック図である。

【図15】本発明に係る昇圧回路の他の実施例を示すブロック図である。

【図16】従来の容量並列型チャージポンプの構成例とその動作を説明する回路図である。

【図17】従来の容量直列型チャージポンプの構成例とその動作を説明する回路図である。

【符号の説明】

- 1 第1昇圧回路
- 2 第2昇圧回路
- 3A, 3B 2倍昇圧回路
- 4 抵抗性負荷回路
- 5 ワードデコーダ
- 6 降圧回路

7a～7c 制御用ゲート

8 ワードドライバ

9a, 9b 電源切替えスイッチ

10 メモリアレイ

CP11, CP12 容量並列型チャージポンプ

CP21, CP22 容量直列型チャージポンプ

C1～C5, C11～C15 昇圧用容量

BST0～BST6 ブースト回路

Cb0～Cb5, Cb 瞬時ブースト用容量

100 半導体基板

110 P型ウェル領域

121, 122 ソース、ドレイン領域

130 フローティングゲート

140 コントロールゲート

150 N型ウェル領域

161, 162 コンタクト領域

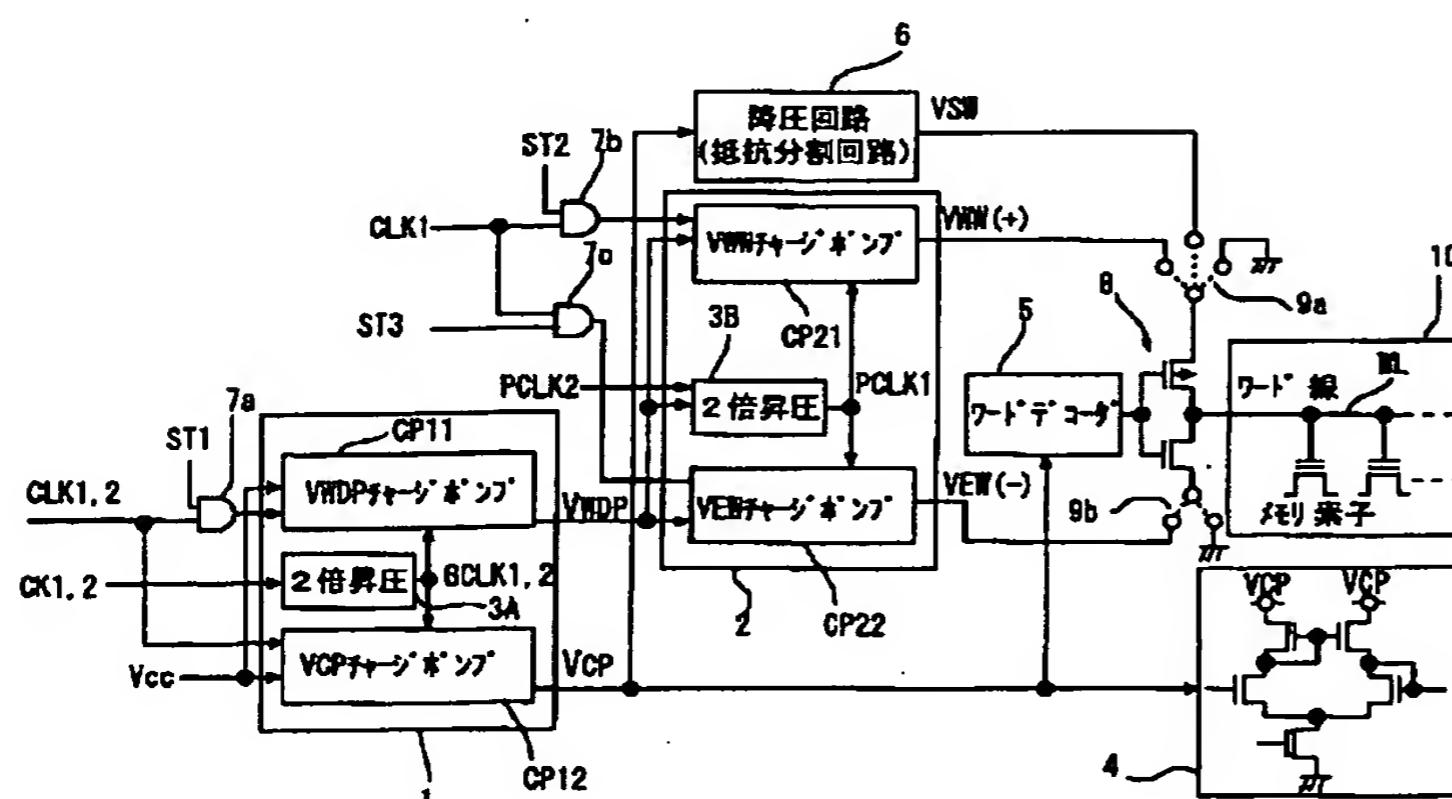
170 導電層（容量の一方の電極）

51 分周回路

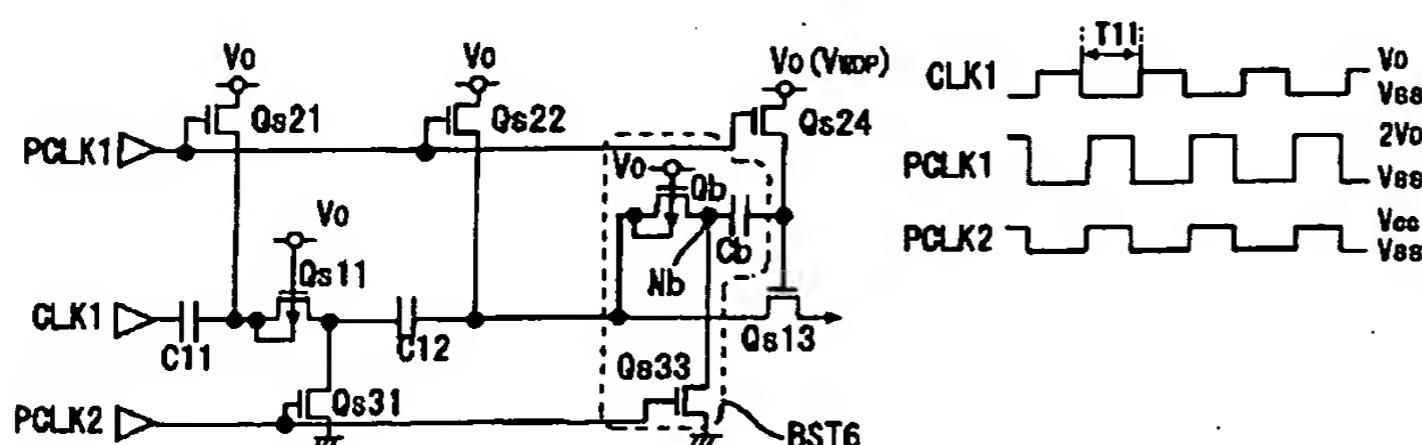
52 クロック切替え回路

53 切替え制御回路

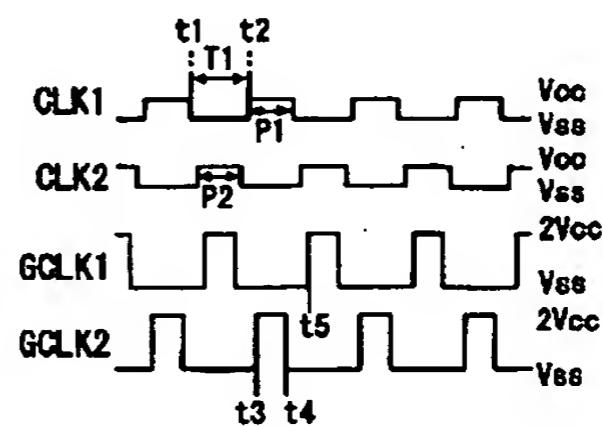
【図1】



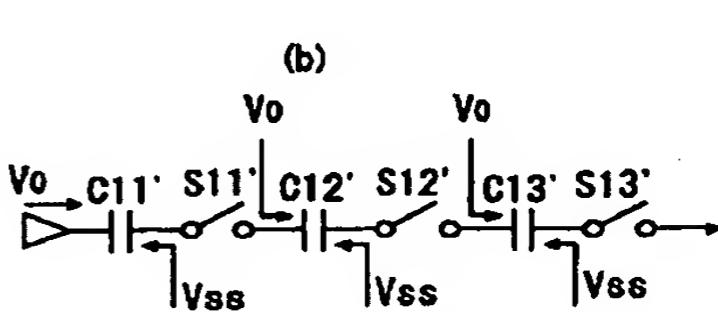
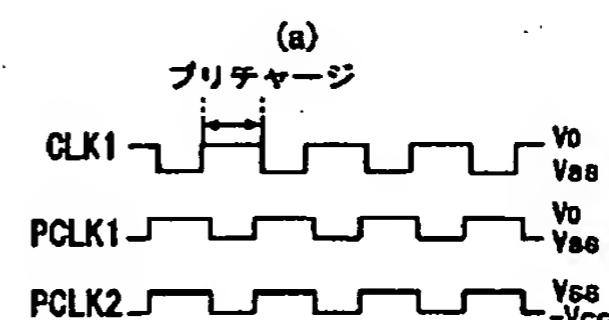
【図4】



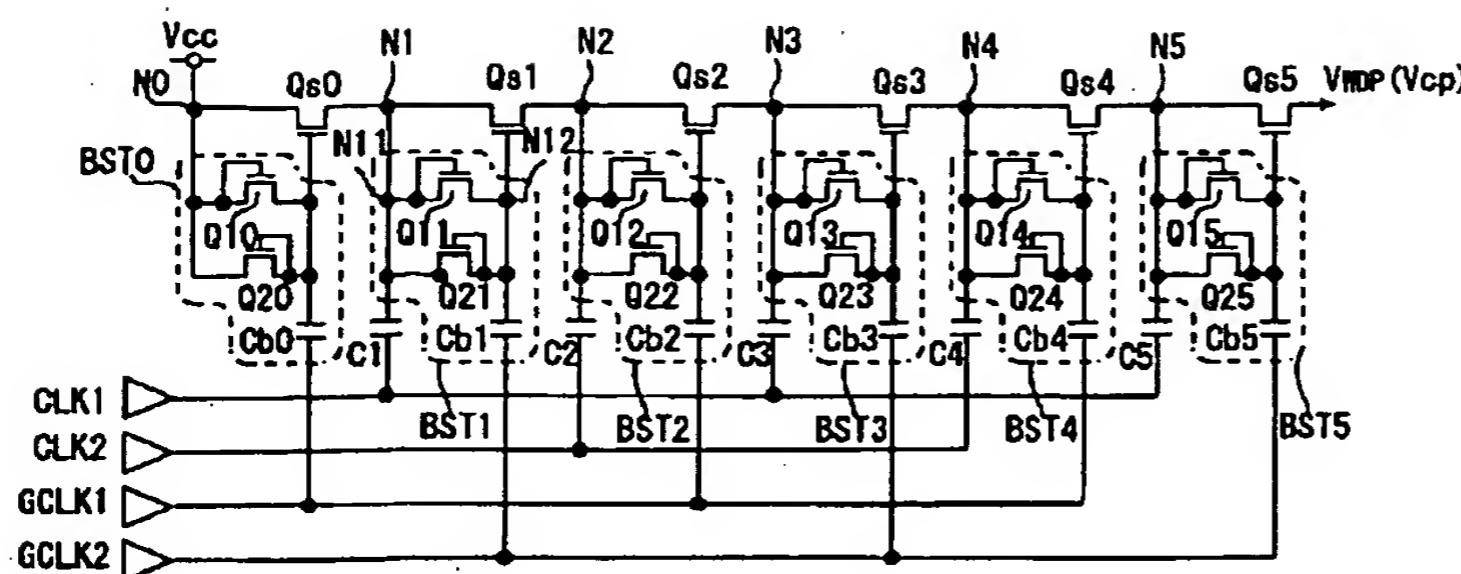
【図5】



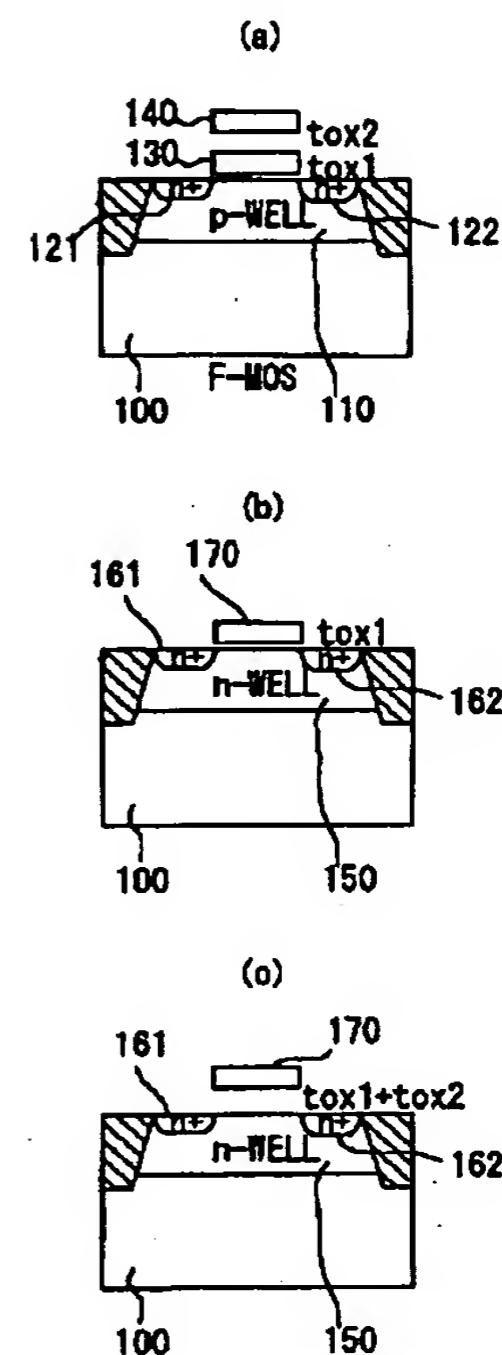
【図7】



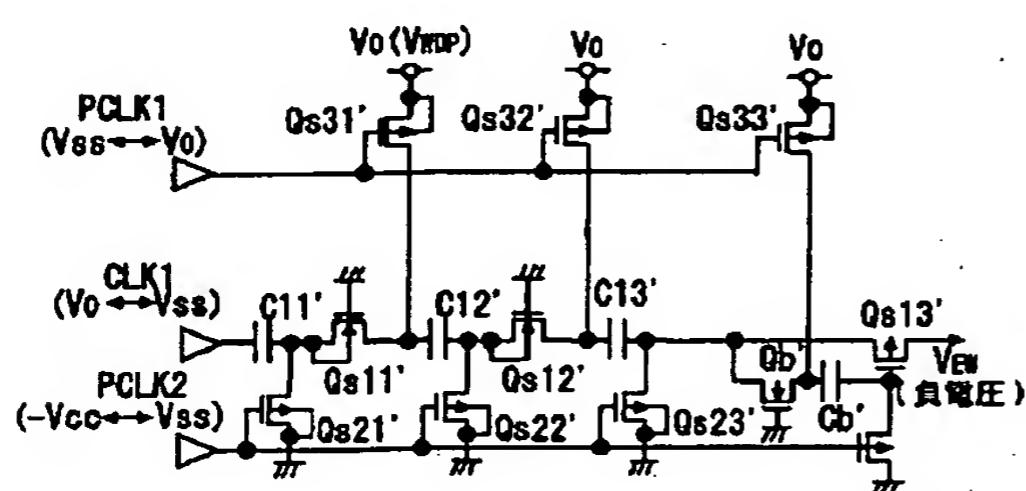
【図2】



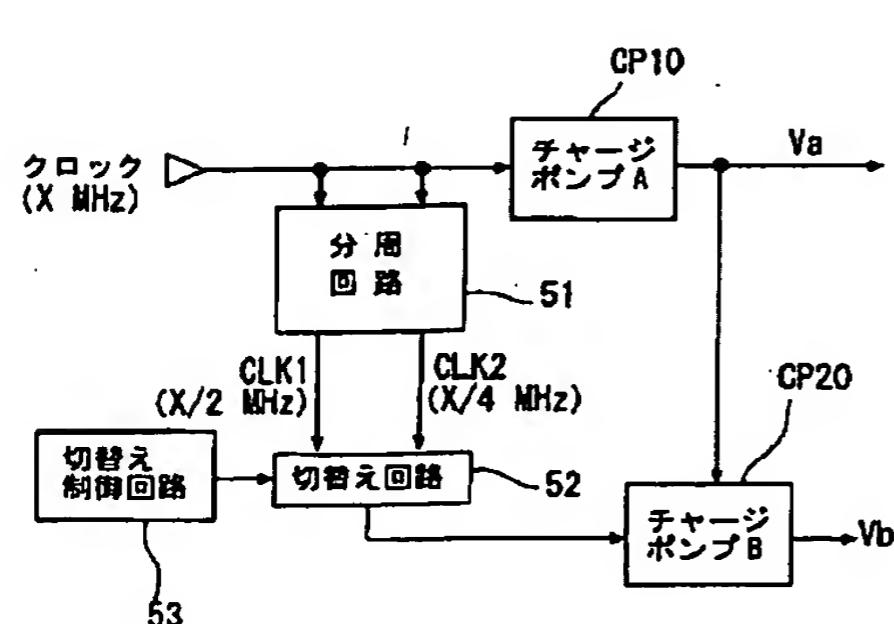
【図8】



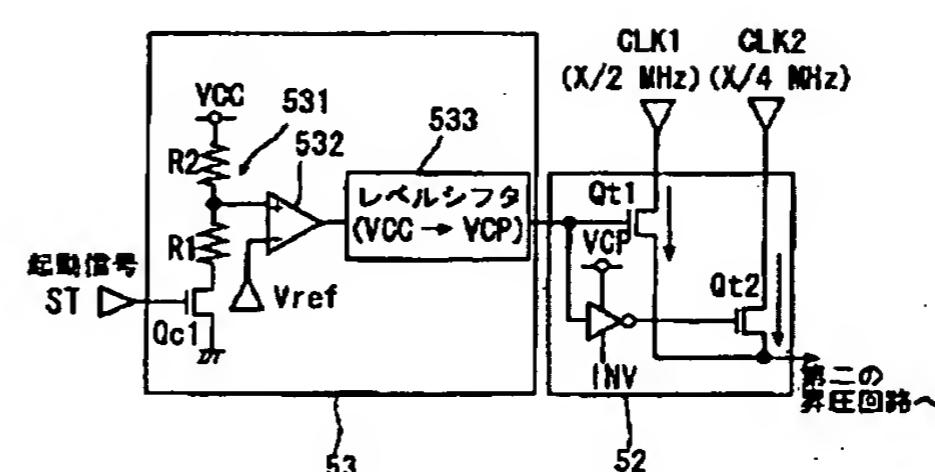
【図6】



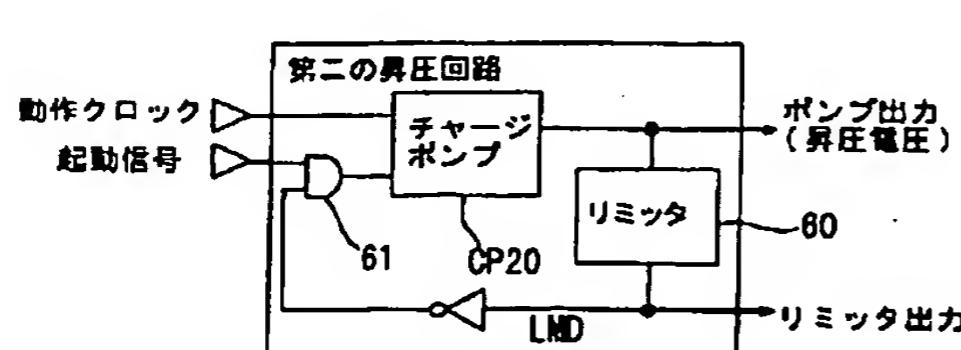
【図10】



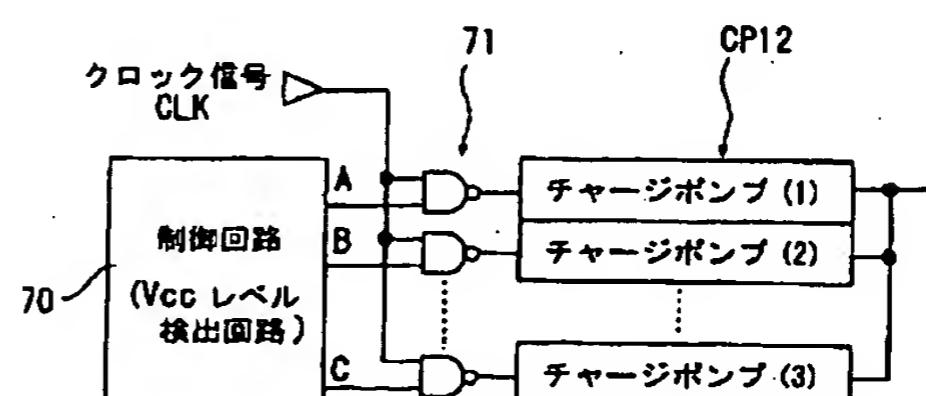
【図11】



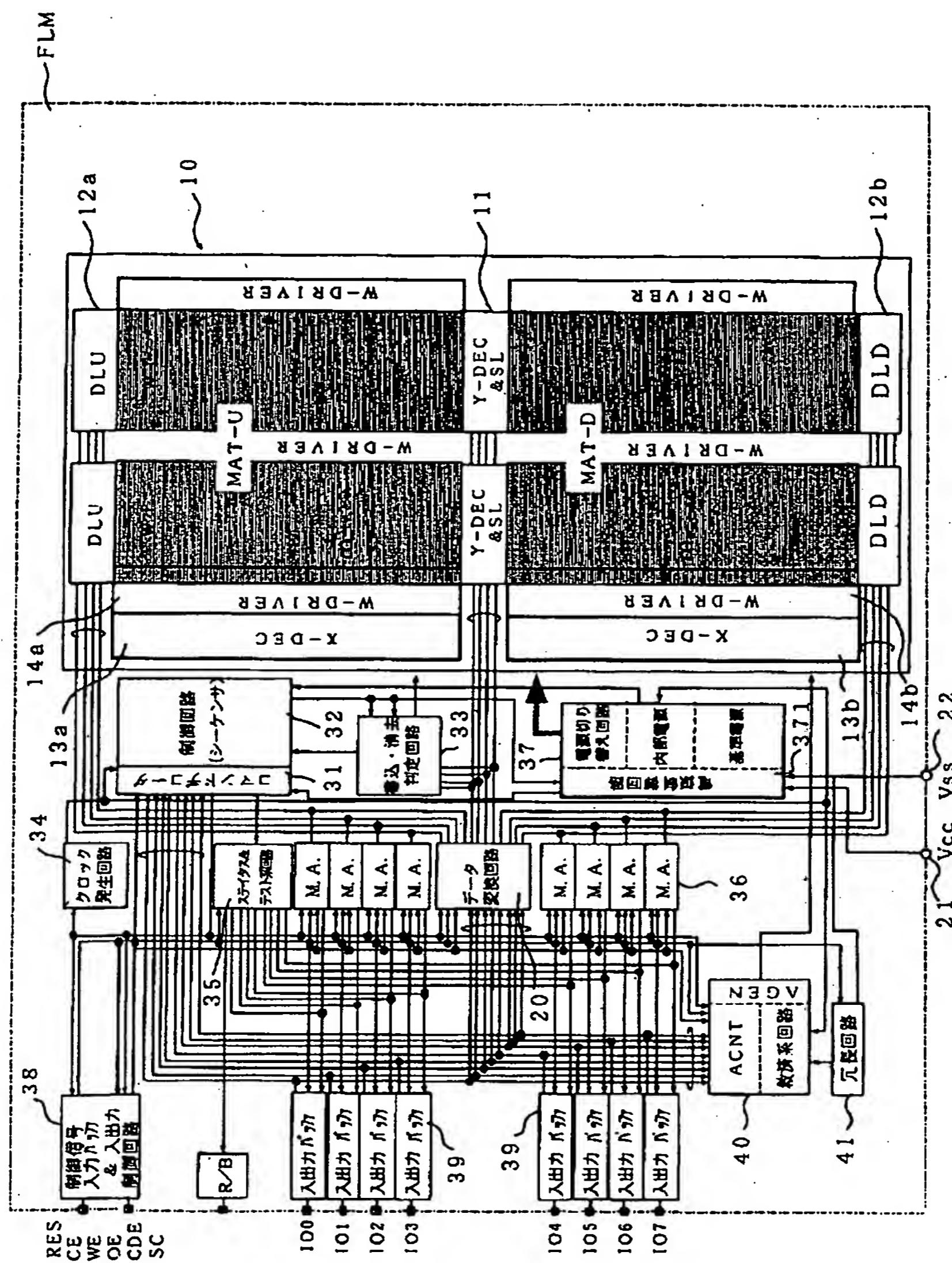
【図14】



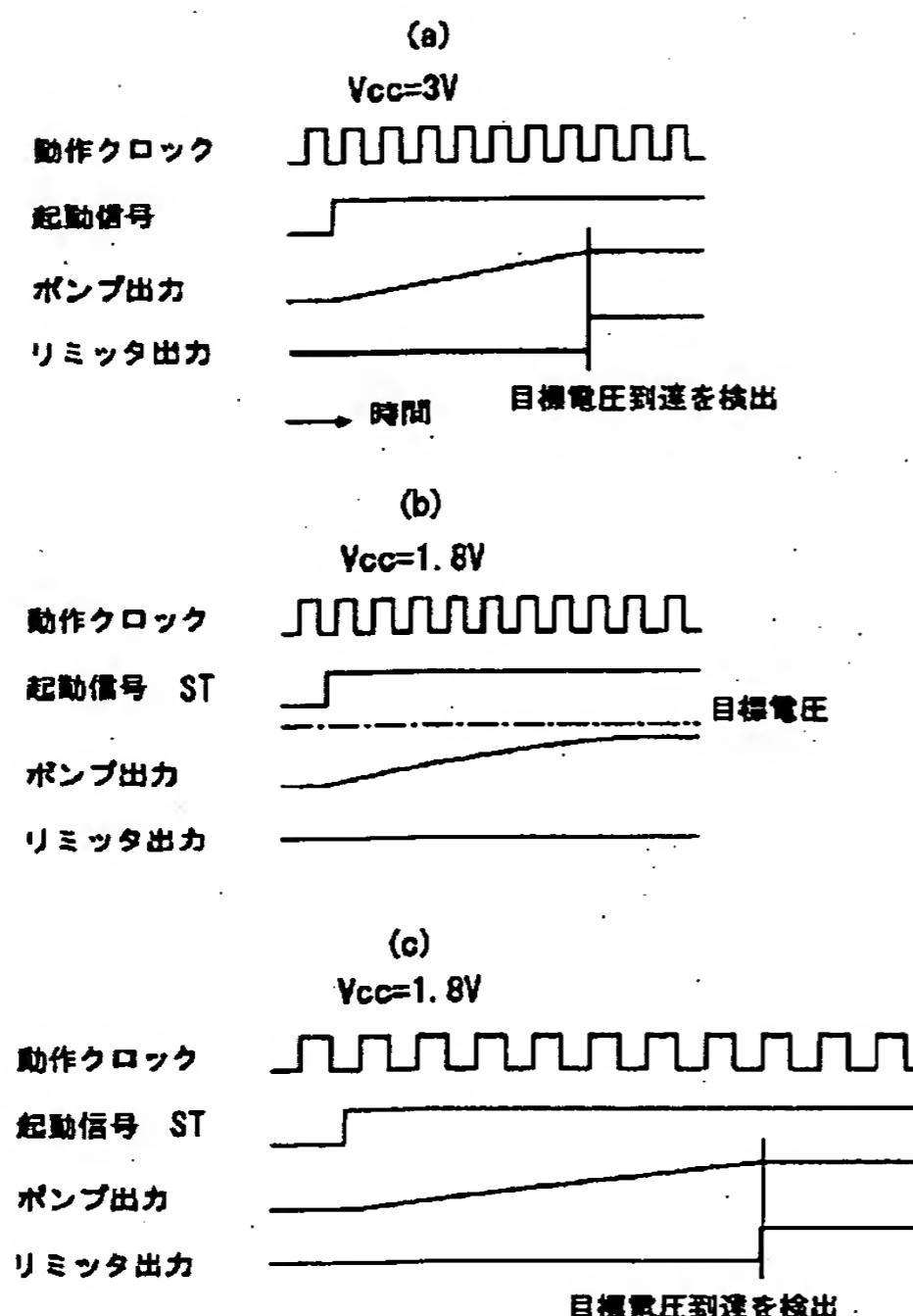
【図13】



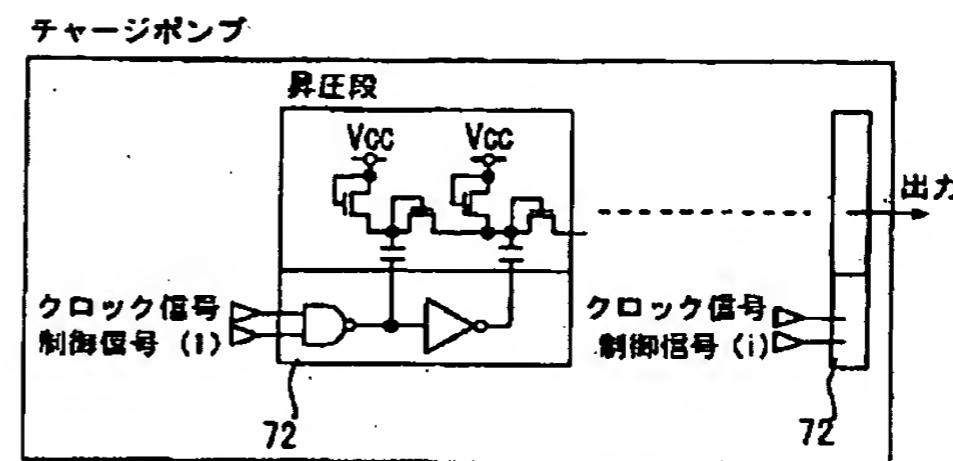
【図6】



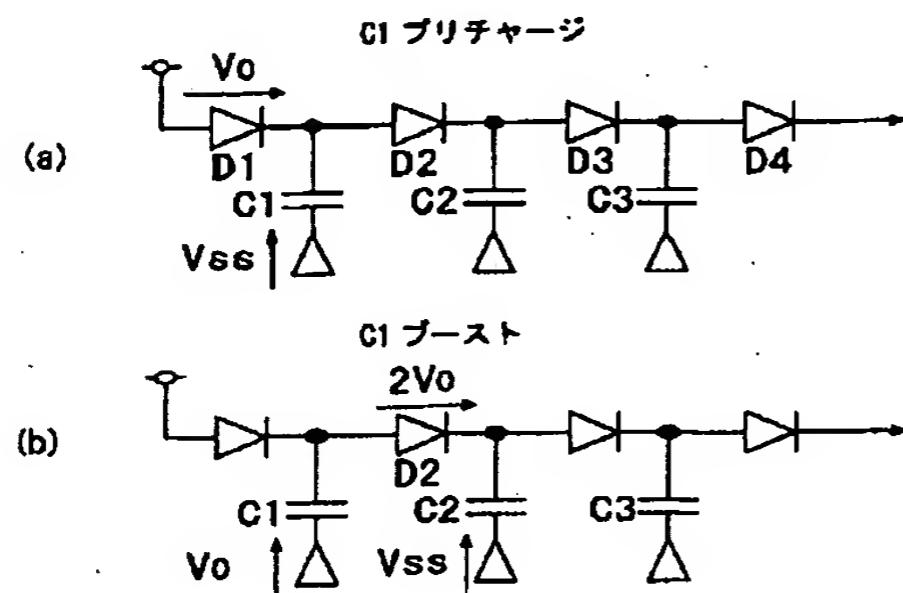
【図12】



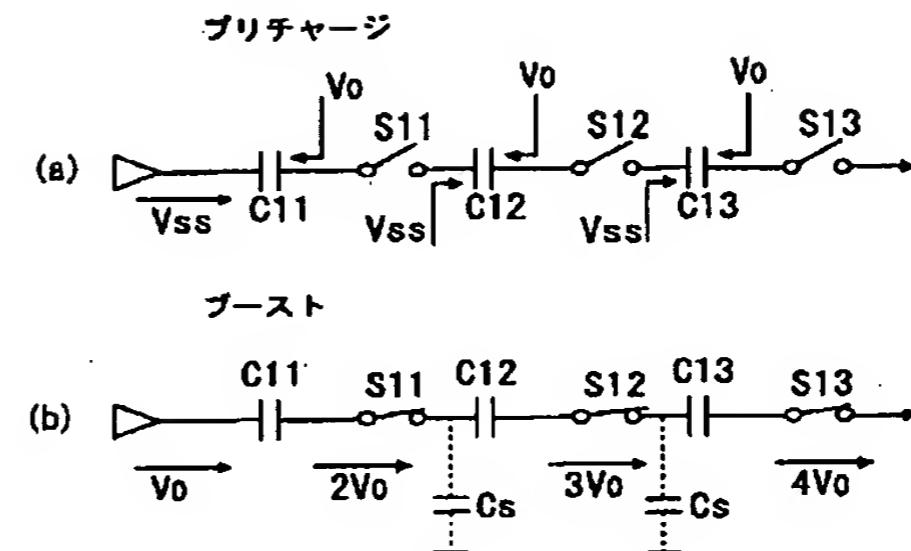
【図15】



【図16】



【図17】



フロントページの続き

(51) Int.CI.7
 H 0 1 L 27/10 識別記号
 481

F I

マーク (参考)

(72) 発明者 佐藤 弘
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内

(72) 発明者 野田 敏史
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内

(18) 2002-26254 (P2002-262JL)

(72) 発明者 石井 達也
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 久保埜 昌次
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72) 発明者 萩野 隆司
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

F ターム(参考) 5B025 AA03 AB01 AD10
5F038 AC08 BG03 BG05 CA05 DF05
DF11 EZ20
5F083 EP02 EP23 ER22 ER30 LA10
PR44 PR52 PR54 ZA21